

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-366420

(P2002-366420A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)	
G 0 6 F 12/00	5 6 0	G 0 6 F 12/00	5 6 0 A	5 B 0 2 5
	5 4 2		5 4 2 K	5 B 0 6 0
	5 9 7		5 9 7 U	5 B 0 8 2
G 1 1 C 16/02		G 1 1 C 17/00	6 0 1 Z	
			6 0 1 B	

審査請求 未請求 請求項の数28 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2001-174517(P2001-174517)

(22) 出願日 平成13年6月8日 (2001. 6. 8)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 斎藤 賢治

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 西坂 禎一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

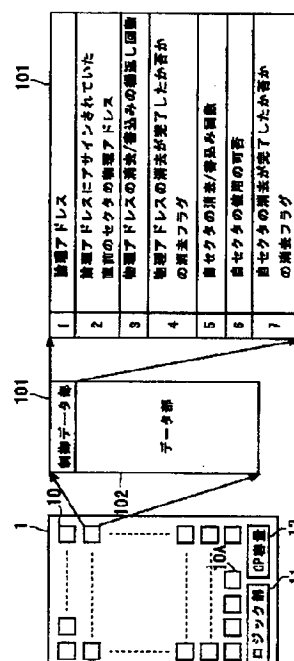
最終頁に続く

(54) 【発明の名称】 不揮発性記憶装置及びその書き換え制御方法

(57) 【要約】

【課題】フラッシュメモリまたはフラッシュメモリチップを備えた不揮発性記憶装置において、見かけ上の書き換え時間を特段に短縮する装置と方法の提供。

【解決手段】消去単位のセクタを論理アドレス空間に対応した個数分備え、これらのセクタは個別の論理セクタアドレスが割り付けられ、さらに、付加セクタを複数備えており、各セクタはデータを保管するデータ部102と、消去と書き換えを制御するための制御データを保管する制御データ部101を有し、一の論理セクタアドレスのセクタのデータを更新する場合、一の論理セクタアドレスに対応する物理セクタアドレスのセクタを消去し、消去済みであり且つ使用可能な付加セクタに対して更新すべきデータを書き込み、前記セクタの消去と前記付加セクタへの書き込みとは並行して行われ、該一の付加セクタに前記一の論理セクタアドレスを割り付け、消去された前記セクタを新たな付加セクタとして管理する。



## 【特許請求の範囲】

【請求項1】消去及び書き換え可能な不揮発性半導体記憶装置が、消去単位のセクタを、論理アドレス空間に対応した個数分備え、これらのセクタは、論理セクタとして、それぞれ、個別の論理セクタアドレスが割り付けられるものであり、

前記不揮発性半導体記憶装置は、これらのセクタに加えて、さらに、付加セクタを1又は複数備えており、

前記各セクタは、データを保管するデータ部と、

消去と書き換えを制御するための制御データを保管する制御データ部と、

を有し、

一の論理セクタアドレスのセクタのデータを更新する場合、前記一の論理セクタアドレスに対応する物理セクタアドレスのセクタの消去を行う手段と、

消去済みであり且つ使用可能な前記付加セクタのうちの一の付加セクタに対して更新すべきデータを書き込む手段と、

を備え、

前記セクタの消去と、前記一の付加セクタへの更新すべきデータの書き込みとは並行して行われる構成とされ、

前記一の付加セクタに、前記一の論理セクタアドレスを割り付け、論理セクタとして管理する手段と、

消去された前記セクタを新たな付加セクタとして管理する手段と、

を備えている、ことを特徴とする不揮発性記憶装置。

【請求項2】前記消去済みであり且つ使用可能な前記付加セクタのうち一の付加セクタに対して更新すべきデータを書き込む手段が、消去、書き換え回数の最も少ない一の付加セクタを選択する手段を備え、

選択された前記一の付加セクタに、前記更新すべきデータを書き込む、ことを特徴とする請求項1記載の不揮発性記憶装置。

【請求項3】前記セクタの制御データ部が、消去と書き換えに関する制御情報として、

データの書き換えにあたり、自セクタに新たに割り付けられる論理セクタアドレスと、

前記データの書き換えの直前まで前記論理セクタアドレスが割り付けられていたセクタの物理セクタアドレスと、

前記物理セクタアドレスのセクタと自セクタのそれぞれのセクタについて、消去、書き込み回数と、セクタの消去が完了したか否かを示す消去フラグと、セクタの使用可否を示すフラグと、

を含む、ことを特徴とする請求項1記載の不揮発性記憶装置。

【請求項4】論理セクタアドレスの入力に対して、入力された前記論理セクタアドレスに対応して現在割り当てられている物理セクタアドレスを出力するアドレス変換テーブルを備え、

ある論理セクタアドレスのセクタのデータを更新した場合、前記アドレス変換テーブルにおける、前記ある論理セクタアドレスに対応する物理セクタアドレスを、前記更新すべきデータの書き込みを行った前記セクタの物理セクタアドレスに変更する手段を備えている、ことを特徴とする請求項1記載の不揮発性記憶装置。

【請求項5】前記アドレス変換テーブルを格納するランダムアクセスメモリを備え、

パワーオンまたはリセットのとき、論理セクタアドレスが割り当てられているセクタの制御データ部の情報を読み出し、前記アドレス変換テーブルに論理セクタアドレスと物理セクタアドレスとの対応を設定する手段を備えている、ことを特徴とする請求項4記載の不揮発性記憶装置。

【請求項6】前記セクタの消去の結果、消去不良の場合、前記セクタの制御データ部における前記セクタの使用可否フラグを、使用不可を示す値に設定する手段を備えている、ことを特徴とする請求項3記載の不揮発性記憶装置。

【請求項7】前記各セクタが、データを保管するデータ部と、

消去と書き換えを制御するための制御データを保管する制御データ部と、

を有し、

書き換えのときに、新たにデータが書き込まれるセクタの制御データ部に、

前記セクタに対して新たに割り当てられる論理セクタアドレスと、

前記論理セクタアドレスに前記書き換えの直前まで割り当てられていた直前の物理セクタアドレスと、

前記直前の物理セクタアドレスのセクタの消去が完了しているか否かを示す消去フラグと、

を書き込む手段と、

前記直前の物理セクタアドレスの前記セクタの消去が完了した場合、前記直前の物理セクタアドレスの前記セクタの制御データ部の消去フラグを、消去完了を示す情報に設定する手段と、

を備えている、ことを特徴とする請求項1乃至3のいずれか一に記載の不揮発性記憶装置。

【請求項8】前記各セクタが、データを保管するデータ部と、

消去と書き換えを制御するための制御データを保管する制御データ部と、

を有し、

セクタのデータの書き換えのときに、新たにデータが書き込まれるセクタの制御データ部に、

前記セクタに対して新たに割り当てられる論理セクタアドレスと、

前記論理セクタアドレスに前記書き換えの直前まで割り当てられていた直前の物理セクタアドレスと、

前記直前の物理セクタアドレスのセクタの消去が完了したか否かを示す消去フラグと、  
 前記直前の物理セクタアドレスのセクタの履歴としてこれまでの消去、書き換え回数と、  
 を書き込む手段と、  
 消去対象の前記直前の物理セクタアドレスの前記セクタの消去が完了した場合、前記直前の物理セクタアドレスの前記セクタの制御データ部の消去フラグを、消去完了を示す情報に設定し、さらに、前記制御データ部に、前記直前の物理セクタアドレスの前記セクタの消去回数を  
 10 書き込む手段と、  
 を備えている、ことを特徴とする請求項1乃至3のいずれか一に記載の不揮発性記憶装置。  
 【請求項9】セクタの消去のときに電源が断した場合の電源再投入時に、前記各セクタの制御データ部を読み出し、前記セクタの制御データ部に書き込まれている前記直前の物理セクタアドレスの消去フラグが、消去完了を示していない場合、前記直前の物理セクタアドレスのセクタの消去を開始するように制御する手段を備えている、ことを特徴とする請求項3、7、及び8のいずれか  
 20 一に記載の不揮発性記憶装置。  
 【請求項10】消去及び書き換えが可能なフラッシュメモリ又はフラッシュメモリのメモリチップを有する不揮発性記憶装置において、  
 前記フラッシュメモリは、消去単位のセクタを、論理アドレス空間に対応した個数分備え、これらのセクタは、論理セクタとして、それぞれ、個別の論理セクタアドレスが割り付けられるものであり、  
 前記フラッシュメモリは、これらのセクタに加えて、さらに、付加セクタを1又は複数備えており、  
 前記各セクタは、消去と書き換えに関する制御情報として、  
 項目1として、自セクタに対して割り付けられる論理セクタアドレス、  
 項目2として、前記論理セクタアドレスに直前まで割り付けられていたセクタの物理セクタアドレス、  
 項目3として、前記直前の物理セクタアドレスのセクタのこれまでの消去・書き込み回数、  
 項目4として、前記直前の物理セクタアドレスのセクタの消去が完了したか否かを示す消去フラグ、  
 項目5として、自セクタのこれまでの消去・書き込み回数、  
 項目6として、自セクタの使用の可否を示す使用可否フラグ、  
 項目7として、自セクタの消去が完了したか否かを示す消去フラグを含む制御データ部を含み、  
 一の論理セクタアドレス（これを「L」とする）に割り付けられているセクタのデータを書き換える場合、論理セクタアドレスが割り付けられていず、使用可能であり、すでに消去済みであるセクタを探索する手段と、

探索された物理セクタアドレス（これを「P1」とする）のセクタの制御データ部の前記項目1乃至項目4に、  
 前記一の論理セクタアドレス（L）と、  
 前記一の論理セクタアドレス（L）にこの書き換え直前まで割り付けられていたセクタの物理セクタアドレス（これを「P2」とする）と、  
 前記物理セクタアドレス（P2）のセクタの履歴としてこれまでの消去、書き込み回数と、  
 10 前記物理セクタアドレス（P2）のセクタの消去が完了したか否かを示す消去フラグと、  
 をそれぞれ書き込む手段と、  
 前記物理セクタアドレス（P1）のセクタの制御データ部に、前記物理セクタアドレス（P2）の必要な情報を書き込んだ後に、前記物理セクタアドレス（P2）のセクタを消去する手段と、  
 前記物理セクタアドレス（P1）のセクタに新たなデータを書き込む手段と、  
 を備え、  
 20 前記物理セクタアドレス（P2）のセクタの消去と、前記物理アドレス（P1）のセクタへの新たなデータを書き込みとは並行して行われ、  
 前記物理セクタアドレス（P2）のセクタの消去が完了した場合に、前記物理セクタアドレス（P1）のセクタの制御データ部の前記項目4の消去フラグを消去完了を示す値に設定する手段と、  
 前記物理セクタアドレス（P2）のセクタの制御データ部の前記項目3、項目4に、前記物理セクタアドレス（P1）のセクタの制御データ部の前記項目3の消去・書き込み回数を1つインクリメントした値と、前記物理セクタアドレス（P2）のセクタの消去の完了の有無を示す消去フラグとを書き込み、消去が完了した前記物理セクタアドレス（P2）のセクタの制御データ部の前記項目6の使用可否フラグを使用可を示す値に設定する手段と、  
 30 前記物理セクタアドレス（P2）のセクタを、消去済みの使用可能な空の付加セクタとする手段と、を備えている、ことを特徴とする不揮発性記憶装置。  
 【請求項11】前記物理セクタアドレス（P2）のセクタが消去できない場合には、前記物理セクタアドレス（P2）のセクタの制御データ部の使用可否のフラグを使用不可を示す値に設定する手段を備えている、ことを特徴とする請求項1乃至11のいずれか一に記載の不揮発性記憶装置。  
 【請求項12】複数のセクタの消去、又は複数のセクタの消去と別のセクタへの書き込みが並行して行われる構成とされている、ことを特徴とする請求項1乃至11のいずれか一に記載の不揮発性記憶装置。  
 【請求項13】論理セクタアドレスが割り当てられていたセクタが消去され、新たに付加セクタとされた場合、

前記付加セクタの物理セクタアドレスを記憶手段に登録し、  
前記記憶手段に登録されている付加セクタに論理セクタアドレスが割り当てられた場合には、前記記憶手段から、付加セクタの物理セクタアドレスを削除する手段を備えている、ことを特徴とする請求項1又は10に記載の不揮発性記憶装置。

【請求項14】消去及び書き換え可能な不揮発性半導体記憶装置を有する不揮発性記憶装置の書き換え制御方法において、

前記不揮発性半導体記憶装置が、消去単位のセクタを、論理アドレス空間に対応した個数分有し、これらのセクタは、論理セクタとして、それぞれ、個別の論理セクタアドレスが割り付けられるものであり、  
前記不揮発性半導体記憶装置には、これらのセクタに加えて、さらに、付加セクタを1又は複数設け、  
前記各セクタは、データを保管するデータ部と、  
消去と書き換えを制御するための制御データを保管する制御データ部と、  
を有し、

一の論理セクタアドレスのセクタのデータを更新する場合、前記一論理セクタアドレスに対応する物理セクタアドレスのセクタの消去を行うステップと、  
消去済みであり且つ使用可能な前記付加セクタのうちの一の付加セクタに対して更新すべきデータを書き込むステップと、  
を有し、

前記セクタの消去ステップと、前記一の付加セクタへの更新すべきデータの書き込みステップとは並行して行われ、  
前記一の付加セクタに、前記一の論理セクタアドレスを割り付け、論理セクタとするステップと  
消去された前記セクタを新たな付加セクタとして管理するステップと、  
を含む、ことを特徴とする不揮発性記憶装置の書き換え制御方法。

【請求項15】前記消去済みであり且つ使用可能な前記付加セクタのうちの一の付加セクタに対して更新すべきデータを書き込むステップが、消去、書き換え回数が最も少ない一の付加セクタを選択し、選択された前記一の付加セクタに、前記更新すべきデータを書き込む、ことを特徴とする請求項14記載の不揮発性記憶装置の書き換え制御方法。

【請求項16】前記セクタの制御データ部が、消去と書き換えに関する制御情報として、  
データの書き換えにあたり、自セクタに新たに割り付けられる論理セクタアドレスと、  
前記データの書き換えの直前まで前記論理セクタアドレスが割り付けられていたセクタの物理セクタアドレスと、

前記物理セクタアドレスのセクタと自セクタのそれぞれのセクタについて、消去、書き込み回数と、セクタの消去が完了したか否かを示す消去フラグと、セクタの使用可否を示すフラグと、

を含む、ことを特徴とする請求項14記載の不揮発性記憶装置の書き換え制御方法。

【請求項17】論理セクタアドレスの入力に対して、入力された前記論理セクタアドレスに対応して現在割り当てられている物理セクタアドレスを出力するアドレス変換テーブルを有し、

ある論理セクタアドレスのセクタのデータを更新した場合、前記アドレス変換テーブルにおける、前記ある論理セクタアドレスに対応する物理セクタアドレスを、前記更新すべきデータの書き込みを行った前記セクタの物理セクタアドレスに変更する、ことを特徴とする請求項14記載の不揮発性記憶装置の書き換え制御方法。

【請求項18】前記アドレス変換テーブルが、ランダムアクセスメモリに格納され、

パワーオンまたはリセットのとき、論理セクタアドレスが割り当てられているセクタの制御データ部の情報を読み出し、前記アドレス変換テーブルに論理セクタアドレスと物理セクタアドレスとの対応を設定する、ことを特徴とする請求項14記載の不揮発性記憶装置の書き換え制御方法。

【請求項19】前記セクタの消去の結果、消去不良の場合、前記セクタの制御データ部における前記セクタの使用可否フラグを、使用不可を示す値に設定する手段を備えている、ことを特徴とする請求項14記載の不揮発性記憶装置の書き換え制御方法。

【請求項20】前記各セクタが、データを保管するデータ部と、  
消去と書き換えを制御するための制御データを保管する制御データ部と、  
を有し、

書き換えのときに、新たにデータが書き込まれるセクタの制御データ部に、

前記セクタに対して新たに割り当てられる論理セクタアドレスと、

前記論理セクタアドレスに前記書き換えの直前まで割り当てられていた直前の物理セクタアドレスと、

前記直前の物理セクタアドレスのセクタの消去が完了しているか否かを示す消去フラグと、

を書き込み、

前記直前の物理セクタアドレスの前記セクタの消去が完了した場合、前記直前の物理セクタアドレスの前記セクタの制御データ部の消去フラグを、消去完了を示す情報に設定する、ことを特徴とする請求項14乃至16のいずれかに記載の不揮発性記憶装置の書き換え制御方法。

【請求項21】前記各セクタが、データを保管するデー

タ部と、  
 消去と書き換えを制御するための制御データを保管する  
 制御データ部と、  
 を有し、  
 セクタのデータの書き換えのときに、新たにデータが書  
 き込まれるセクタの制御データ部に、  
 前記セクタに対して新たに割り当てられる論理セクタア  
 ドレスと、  
 前記論理セクタアドレスに前記書き換えの直前まで割り  
 当てられていた直前の物理セクタアドレスと、  
 前記直前の物理セクタアドレスのセクタの消去が完了し  
 たか否かを示す消去フラグと、  
 前記直前の物理セクタアドレスのセクタの履歴としてこ  
 れまでの消去、書き換え回数と、  
 を書き込み、  
 消去対象の前記直前の物理セクタアドレスの前記セクタ  
 の消去が完了した場合、前記直前の物理セクタアドレス  
 の前記セクタの制御データ部の消去フラグを、消去完了  
 を示す情報に設定し、  
 さらに、前記制御データ部に、前記直前の物理セクタア  
 ドレスの前記セクタの消去回数を書き込む、ことを特徴  
 とする請求項14乃至16のいずれか一に記載の不揮発  
 性記憶装置の書き換え制御方法。  
 【請求項22】セクタの消去のときに電源が断した場合  
 の電源再投入時に、前記各セクタの制御データ部を読み  
 出し、前記セクタの制御データ部に書き込まれている前  
 記直前の物理セクタアドレスの消去フラグが、消去完了  
 を示していない場合、前記直前の物理セクタアドレスの  
 セクタの消去を開始するように制御する、ことを特徴と  
 する請求項16、20、及び21のいずれか一に記載の  
 不揮発性記憶装置の書き換え制御方法。  
 【請求項23】消去及び書き換えが可能なフラッシュメ  
 モリ又はフラッシュメモリのメモリチップを有する不揮  
 発性記憶装置の書き換え制御方法において、  
 前記フラッシュメモリは、消去単位のセクタを、論理ア  
 ドレス空間に対応した個数分備え、これらのセクタは、  
 論理セクタとして、それぞれ、個別の論理セクタアドレ  
 スが割り付けられるものであり、  
 前記フラッシュメモリは、これらのセクタに加えて、さ  
 らに、付加セクタを1又は複数備えており、  
 前記各セクタは、消去と書き換えに関する制御情報とし  
 て、  
 項目1として、自セクタに対して割り付けられる論理セ  
 クタアドレス、  
 項目2として、前記論理セクタアドレスに直前まで割り  
 付けられていたセクタの物理セクタアドレス、  
 項目3として、前記直前の物理セクタアドレスのセクタ  
 のこれまでの消去・書き込み回数、  
 項目4として、前記直前の物理セクタアドレスのセクタ  
 の消去が完了したか否かを示す消去フラグ、

項目5として、自セクタのこれまでの消去・書き込み回  
 数、  
 項目6として、自セクタの使用の可否を示す使用可否フ  
 ラグ、  
 項目7として、自セクタの消去が完了したか否かを示す  
 消去フラグを含む制御データ部を含み、  
 一の論理セクタアドレス（これを「L」とする）に割り  
 付けられているセクタのデータを書き換える場合、論理  
 セクタアドレスが割り付けられていず、使用可能であ  
 り、すでに消去済みであるセクタを探索する第1のステ  
 ップと、  
 探索された物理セクタアドレス（これを「P1」とす  
 る）のセクタの制御データ部の前記項目1乃至項目4  
 に、  
 前記一の論理セクタアドレス（L）と、  
 前記一の論理セクタアドレス（L）にこの書き換え直前  
 まで割り付けられていたセクタの物理セクタアドレス  
 （これを「P2」とする）と、  
 前記物理セクタアドレス（P2）のセクタの履歴として  
 これまでの消去、書き込み回数と、  
 前記物理セクタアドレス（P2）のセクタの消去が完了  
 したか否かを示す消去フラグと、をそれぞれ書き込む第  
 2のステップと、  
 前記第2のステップで、前記物理セクタアドレス（P  
 1）のセクタの制御データ部に、前記物理セクタアドレ  
 ス（P2）の必要な情報を書き込んだ後に、前記物理セ  
 クタアドレス（P2）のセクタを消去する第3のステッ  
 プと、  
 前記物理アドレス（P1）のセクタに、新たなデータを書  
 き込む第4のステップと、を有し、  
 前記第3のステップと前記第4のステップとは並行して  
 行われ、  
 前記第3のステップで、前記物理セクタアドレス（P  
 2）のセクタの消去が完了した場合に、  
 前記物理セクタアドレス（P1）のセクタの制御データ  
 部の前記項目4の消去フラグを消去完了を示す値に設定  
 する第5のステップと、  
 前記物理セクタアドレス（P2）のセクタの制御データ  
 部の前記項目3、項目4に、前記物理セクタアドレス  
 （P1）のセクタの制御データ部の前記項目3の消去・  
 書き込み回数を1つインクリメントした値と、前記物理  
 セクタアドレス（P2）のセクタの消去の完了の有無を  
 示す消去フラグを書き込み、消去が完了した前記物理セ  
 クタアドレス（P2）のセクタの制御データ部の前記項  
 目6の使用可否フラグを使用可を示す値に設定する第6  
 のステップと、  
 前記物理セクタアドレス（P2）のセクタを、消去済み  
 の使用可能な空の付加セクタとする第7のステップと、  
 を含む、ことを特徴とする不揮発性記憶装置の書き換え  
 制御方法。

【請求項24】前記第3のステップで、前記物理セクタアドレス(P2)のセクタが消去できない場合には、前記物理セクタアドレス(P2)のセクタの制御データ部の使用可否のフラグを使用不可を示す値に設定する第8のステップを有する、ことを特徴とする請求項23記載の不揮発性記憶装置の書き換え制御方法。

【請求項25】前記第1のステップにおいて、前記消去済みであり且つ使用可能な前記付加セクタのうち、前記制御データ部の前記項目4の消去・書き換え回数が最小の1の付加セクタを選択し、

前記第4のステップで、前記1の付加セクタに更新すべきデータを書き込む、ことを特徴とする請求項23記載の不揮発性記憶装置の書き換え制御方法。

【請求項26】前記第3のステップで、セクタの消去時に電源断した場合、電源再投入時に、まず各セクタの制御データ部を読み込み、前記セクタの制御データ部の前記項目4に書き込まれている直前の物理セクタアドレスの消去フラグが、消去フラグが消去完了を示していない場合、前記直前の物理セクタアドレスのセクタの消去を開始する、ことを特徴とする請求項23記載の不揮発性記憶装置の書き換え制御方法。

【請求項27】複数のセクタの消去、又は複数のセクタの消去と別のセクタへの書き込みが並行して行われる、ことを特徴とする請求項14乃至26のいずれかに記載の不揮発性記憶装置の書き換え制御方法。

【請求項28】論理セクタアドレスが割り当てられていたセクタが消去され、新たに付加セクタとされた場合、前記付加セクタの物理セクタアドレスを記憶手段に登録し、

登録されている付加セクタに論理セクタアドレスが割り当てられた場合には、前記記憶手段から、付加セクタの物理セクタアドレスを削除する、ことを特徴とする請求項14、23、及び24のいずれかに記載の不揮発性記憶装置の書き換え制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性記憶装置に関し、特に、セクタ単位に一括消去され、書き換え可能な不揮発性の記憶装置及びその制御方法に関する。

【0002】

【従来の技術】電気的に消去可能であり、書き換え可能な不揮発性の半導体記憶装置(Electrically Erasable and Programmable Rom; EEPROM)、特に、一括消去可能なEEPROM(フラッシュメモリ)は、メモリ容量の大容量化が著しく、磁気記録媒体等の代替ファイル装置として用いられている。

【0003】図10(a)は、従来のフラッシュメモリのチップレイアウトの一例を示す図である。フラッシュメモリは、不揮発性という特性を生かすため、消去と書き込みを繰り返して用いられており、ハードディスク装

置等との互換性や、チップサイズの縮減等の目的のため、消去は、複数のメモリセルを単位に行われている。一括消去される複数のメモリセルの単位をセクタという。

【0004】図10(a)に示す例では、物理セクタ番号が0~63のセクタS00~S63の64個配置されており、書き込み等の高電圧Vppを供給するための昇圧回路をなすチャージポンプ(CP)容量12と、セクタ単位での消去を行う消去及びベリファイ回路、メモリセルへの書き込みを制御する書き込み回路、メモリセルからの読み出しを制御する読み出し回路、電源制御回路等を含むロジック部11を備えている。

【0005】消去は、同一セクタ内のメモリセル(フローティングゲートを有するメモリセルトランジスタ)の全ビットが同時に消去される。この消去にあたり、例えばFN(Fowler-Nordheim)トンネル注入等で、フローティングゲートから、電子を引き抜く時間と、ベリファイ等消去後の特性を描えるための処理の時間が必要であり、読み出しと比べて、消去には、長大な時間を要している。

【0006】また全てのセクタS00~S63がすでに使用されている場合、いずれかのセクタを消去して、再度、書き込みを行う場合、[セクタの消去]→[セクタの書き込み]という手順が、シーケンシャルな順序で実行されることになる。

【0007】図11は、この手順を模式的に示す図である。図11には、縦方向に、物理セクタ番号0~63が示されており、横方向に、論理セクタアドレスとその消去/書き込み(Prog)の推移が図示されている。この例において、物理セクタ番号(「物理セクタアドレス」ともいい、物理セクタ空間におけるセクタ単位のアドレスを示す)と、論理セクタ番号(「論理セクタアドレス」ともいい、ホスト装置からのセクタをアクセスするための論理アドレスに対応する)とは、一対一に対応している。図11において、論理セクタ番号63(この場合、物理セクタ番号63)のセクタを書き換える場合、物理セクタ番号63のセクタを消去し、書き換え(図11のProg;プログラム)が行われる。

【0008】つづいて、論理セクタ番号3(したがって物理セクタ番号3)のセクタを消去し、書き換え(Prog)が行われる。

【0009】消去/書き込み3、5では、再び、物理セクタ番号63のセクタを消去し、書き換え(Prog)が行われる。

【0010】消去/書き込み6、7では、物理セクタ番号2のセクタを消去し、書き換え(Prog)が連続して行われる。

【0011】1セクタあたりの消去ルーチンに要する時間は、1秒前後必要とされ(preprogram+消去+書き戻し)、書き込みも1セクタ内の全ビットを書き込む場

合、0.5秒程度必要である。このため、消去ルーチンを含めて1セクタの書き換えには、1.5秒以上が必要とされている。

【0012】また、フラッシュメモリの書き込みや消去は、通常、F-N (Fowler-Nordheim) トンネル注入や、CHE (チャネル・ホット・エレクトロン) 方式が用いられており、例えば書き込みは、フローティングゲート型メモリセルトランジスタのコントロールゲートとドレインに高電圧を印加し、ソースを接地することで、ドレイン近傍で生じたホット・エレクトロンをフローティングゲートに注入している。また消去は、例えばF-Nトンネル注入等により、ソース又はドレイン等に電子を引き抜く。このように、消去、書き込みは、フローティングゲート型メモリセルトランジスタのシリコン酸化膜(ゲート絶縁膜)を通して、フローティングゲートと、電子を出し入れすることにより行っている。フラッシュメモリの書き込みや消去により、シリコン酸化膜への損傷(ダメージ)が生じ、書き込み/消去の書き換え回数は、10万回~100万回程度とされている。

【0013】そして、フラッシュメモリのデータを書き換える場合、データ書き換え対象のセクタの消去が行われ、消去の完了後、該セクタに対して新たなデータの書き込みを行う。

【0014】図11に示したように、書き換え対象のセクタに対して、シーケンシャルに、消去と、消去後の書き込み(Prog)とが実行されており、データの書き換えには、必ず、[1セクタの消去時間]+[書き込み時間]で規定される時間が必要とされている。

【0015】すなわち、フラッシュメモリにおいては、物理的にセクタ単位にデータを消去してからでないと、新たに書き込みができないため、消去時間+書き込み時間が必要であり、これに要する時間は読み出し時間にくらべて長大である。上述したように、書き換え時間は、1.5秒程度以上とされる。図11に示すように、物理セクタ番号2の消去が連続する場合、連続する、書き換え時間分、フラッシュメモリへのアクセスが待機させられる等される。

【0016】そして、同一のセクタの消去/書き込み回数が、他のセクタに比べて偏って頻発すると、この偏りにより、フラッシュメモリの寿命が短縮される。すなわち、あるセクタが消去/書き込みの繰り返し回数オーバーした場合、フラッシュメモリは使用不可となるが、書き換え頻度のセクタ間での偏りにより、セクタの使用期間が短縮される。そして、フラッシュメモリが多岐の用途にわたって適用されており、書き込み/消去の繰り返し回数の増大、及び長寿命化に対する要求が増えてきている。

【0017】なお、例えば特開平9-81332号公報には、フラッシュメモリをより長時間有効に使用するフラッシュディスクカードとして、図13に示すような構

成が開示されている。図13を参照すると、フラッシュディスクカードは、M個のセクタ又はM個のセクタ及びr個の冗長セクタよりなるフラッシュメモリ400と、M未満の1~Nの論理セクタ番号の入力に対して、1~N又は1~N及びM+1~M+rの物理セクタ番号を出力する論理/物理アドレス変換テーブル91と、N以下の論理セクタ番号Lのデータ更新時、テーブル91により特定される物理セクタ番号のデータを消去するとともに、未使用又はすでにデータの消去が行われているセクタに対して更新データを書き込み、論理セクタ番号Lに対してテーブル91が出力する物理セクタの番号を更新データを書き込んだセクタの番号に変更する手段と、入力された論理セクタ番号LがN以下の場合、テーブルにより判定される物理セクタ番号のデータを読み出し、番号LがNよりも大きい場合、物理セクタ番号Lのデータを読み出す手段を備えた構成が開示されている。各セクタは不良/正常の情報を書き込む領域を有している。RAM900により、欠陥セクタ置換テーブル92が記憶管理され、物理アドレスと論理アドレスが変換されないセクタの不良において、冗長セクタとして、置換される。

【0018】図13において、512バイトのセクタデータ領域500には、ハードディスク装置にデータアクセス単位であるセクタ(512バイト)のデータが格納され、16バイトのセクタ管理データ領域501には、当該セクタの論理セクタ番号(LSN)、該セクタデータに対するECC(誤り訂正符号)データ、該セクタの有効性を示すフラグ情報等のデータが格納される。フラッシュメモリ400のメモリ空間は、第1のエリア503、第2のエリア504、第3のエリア505からなり、第1のエリア503は、ホスト装置(不図示)によって頻繁に書き換えられるセクタよりなるエリアであり物理セクタ番号1乃至Nのセクタからなり、ホスト装置(不図示)がアクセスする物理セクタ番号は、RAM900に記憶される論理/物理アドレス変換テーブル91に基づいて決められる。第2のエリア504は、ファイルデータを格納するエリアであり、物理セクタ番号N+1~Mのセクタからなる。ホスト装置がアクセスする物理セクタ番号は論理セクタ番号と同一である。第3のエリア505は、r個の冗長用のエリアであり、物理セクタ番号M+1~M+rのセクタからなる。論理セクタ番号Lのセクタに欠陥が生じた場合、当該セクタの管理エリアに無効セクタを意味するデータを書き込み、r個の冗長セクタのうち、データの書き込まれていないセクタにデータを書き込むとともに、欠陥セクタ置換テーブル92に、論理セクタ番号Lに対してデータの書き込みを行った冗長セクタを記憶させる。しかしながら、この特開平9-81332号公報に記載されたフラッシュカードディスクにおいて、論理セクタ番号を物理セクタ番号に変換するアドレス変換テーブルは、RAM内に設けられている。このため、電源断が生じた場合、アドレス変

換テーブルのアドレス変換情報は失われる。特開平9-81332号公報では、セクタの消去スピードを改善するという課題の認識を欠いている。

【0019】

【発明が解決しようとする課題】したがって、本発明が解決しようとする課題は、フラッシュメモリ又はフラッシュメモリチップを備えた不揮発性記憶装置の見かけ上の書き換え時間を特段に短縮する不揮発性記憶装置及びその制御方法を提供することにある。

【0020】また本発明が解決しようとする他の課題は、セクタ間での使用頻度をバランスさせるようにして、寿命を増大させる、不揮発性記憶装置及びその制御方法を提供することにある。

【0021】

【課題を解決するための手段】上記した課題を解決するための手段を提供する本発明は、その一つのアスペクトとして、消去及び書き換え可能な不揮発性半導体記憶装置が、消去単位のセクタを、論理アドレス空間に対応した個数分備え、これらのセクタは、論理セクタとして、それぞれ、個別の論理セクタアドレスが割り付けられるものであり、前記不揮発性半導体記憶装置は、これらのセクタに加えて、さらに、付加セクタを1又は複数備えており、前記各セクタは、データを保管するデータ部と、消去と書き換えを制御するための制御データを保管する制御データ部と、を有し、一の論理セクタアドレスのセクタのデータを更新する場合、前記一の論理セクタアドレスに対応する物理セクタアドレスのセクタの消去を行い、消去済みであり且つ使用可能な前記付加セクタのうちの一の付加セクタに対して更新すべきデータを書き込み、前記セクタの消去と、前記一の付加セクタへの更新すべきデータの書き込みとは並行して行われる構成とされ、前記一の付加セクタに前記一の論理セクタアドレスを割り付けて論理セクタとして管理し、消去された前記セクタを新たな付加セクタとして管理するものである。

【0022】本発明においては、好ましくは、前記消去済みであり且つ使用可能な付加セクタのうち書き換え回数が最小の一のセクタを選択し、前記一のセクタに更新すべきデータを書き込む構成とされる。本発明においては、前記セクタの制御データ部が、消去と書き換えに関する制御情報として、データの書き換えにあたり、自セクタに新たに割り付けられる論理セクタアドレスと、前記データの書き換えの直前まで前記論理セクタアドレスが割り付けられていたセクタの物理セクタアドレスと、前記物理セクタアドレスのセクタと自セクタのそれぞれのセクタについて、消去、書き込み回数と、セクタの消去が完了したか否かを示す消去フラグと、セクタの使用可否を示すフラグと、を含む。

【0023】本発明においては、好ましくは、複数のセクタの消去と別のセクタへの書き込みが並列に行われる

構成とされる。以下の説明からも明らかとされるように、上記課題は、特許請求の範囲の各請求項に記載される発明によっても、同様にして解決される。

【0024】

【発明の実施の形態】本発明の実施の形態について説明する。図10(b)は、本発明の一実施の形態に係るフラッシュメモリのチップレイアウトの一例を示す図である。本発明は、物理的にM個のセクタを具備するフラッシュメモリまたはフラッシュメモリチップを備えた不揮発性記憶装置において、論理アドレス(セクタ単位の論理アドレスを「論理セクタアドレス」ともいい、「論理セクタ番号」に対応する)で特定されるセクタ10の数をN個とし、残りのM-N個を付加セクタ10Aとしている。チャージポンプ容量12は、書き込み又は消去時の高電圧V<sub>pp</sub>を生成する昇圧回路であり、ロジック回路11は、消去、書き込み、読み出し、電源制御等の各種制御を行う回路である。

【0025】図7は、セクタの物理アドレスと論理アドレスの対応を模式的に示す図である。このうち図7(a)は、各セクタの物理セクタ番号(セクタ単位の物理アドレスに対応し、物理セクタアドレスに対応する)の関係を示す図である。図7(a)に示すように、物理アドレス空間は、00~63の物理セクタ番号の64個のセクタと、物理セクタ番号64、65、66、67の4個の付加セクタの計68個のセクタよりなり、1セクタのメモリ容量を68倍した容量に対応するアドレス空間とされる。ここで、物理アドレスについて簡単に説明しておくと、フラッシュメモリの1セクタが64KByte(512Kbits)のとき、例えば、物理セクタ番号2のセクタの物理アドレスは、物理セクタ番号1の物理アドレス(セクタの先頭アドレス)+64Kのアドレスとされる。一方、論理セクタ番号は、ホスト装置(不図示)からのアドレス信号あるいはコマンドによるアクセスアドレスの一部のビットフィールドに対応しており、フラッシュメモリのセクタを指定するアドレスフィールドで指定され、論理セクタ番号を指定するアドレスフィールドの下位ビットでセクタ内でのアドレスが指定される。

【0026】図7(b)は、各セクタに割り当てられている論理アドレス(論理セクタ番号)の一例を示す図である。図7(b)に示す例では、例えば物理セクタ番号00、01、02、03は、論理セクタ番号28、01、58、60に対応しており、物理セクタ番号64、65、66、67の付加セクタは、論理セクタ番号18、30、46、63に対応している。図7(b)に示す例では、物理セクタ番号11、13、18、30は、付加セクタとされる(付加セクタは、論理セクタ番号が割り付けられていず、図中、空白で示す)とされている。なお、図7(b)に示す例では、当初付加セクタとして管理されていた、物理セクタ番号64、65、66、67の4つのセクタには、論理セクタ番号18、3



0、46、63が割り付けられ、論理セクタとして、管理されており、もはや、付加セクタではなくなっている。

【0027】この発明の実施の形態では、ある論理セクタ番号(L)のセクタのデータを更新するとき、論理セクタ番号(L)に対して割り当てられていた物理セクタ番号(P)のセクタを消去し、消去済みであり未使用であり付加セクタのうちの一つのセクタ(物理セクタ番号(Q))に、該論理セクタ番号(L)のセクタに対して書き込むべきデータを書き込み、物理アドレス番号(Q)のセクタに対して、論理セクタ番号L(論理アドレス)を割り当てる。

【0028】図8は、本発明の一実施の形態において、書き換え前後のセクタにおける論理アドレスの変化の様子を示す模式図である。図8(a)を参照すると、論理セクタ番号03(物理セクタ番号26)のデータを書き換えるとき、論理セクタ番号03に割り当てられている物理セクタ番号26を消去し、付加セクタの一つである物理セクタ番号13(図8(a)において、論理セクタ番号25の右隣のセクタ)に対して、該論理セクタ番号03に対して書き込むべきデータを書き込み、物理セクタ番号13のセクタの論理アドレスとして、該論理セクタ番号03が割り付けられる(図8(b)参照)。

【0029】この実施の形態においては、複数のセクタの消去と、別のセクタへの書き込みとを並列して行うことで、1セクタあたりの消去時間を、見かけ上、1/(付加セクタ数)

にまで短縮することを可能としている。

【0030】ところで、フラッシュメモリの書き換え回数が増えると、消去または書き込みができない不良セクタが発生する場合がある。

【0031】この実施の形態では、不良セクタを、セクタ内に用意されている消去、書き換えを管理する制御データ部における使用可否フラグをオンとし、以後、当該セクタを使用不可とする(付加セクタとして扱われることはない)。付加セクタの個数を減らすことにより、消去、書き換えの繰り返しによる、不良の発生を低減させる。

【0032】さらに、この実施の形態では、使用されているセクタ(論理セクタアドレスが割り付けられている)のデータを更新するときは、付加セクタの一つにデータを書き込み、元のセクタは、付加セクタにまわして、空きとする制御を行っている。新たに付加セクタとされた場合、該付加セクタの物理セクタアドレスをテーブルに登録し、登録されている付加セクタに更新すべきデータが書き込まれ、論理セクタアドレスが割り当てられた場合には、前記テーブルから、付加セクタの物理セクタアドレスを削除する制御が行われる。かかる構成により、この実施の形態によれば、複数のセクタ間でセクタの使用頻度を平均化させることにより、フラッシュメモ

モリのチップとしての書き換え回数寿命を伸ばしている。

【0033】この実施の形態において、各セクタ(図1の10)は、データを保管するデータ部(図1の102)と、消去・書き換え制御するためのデータを保管する制御データ部(図1の101)とを有し、セクタのデータの書き換え時に、新たに書き込まれるセクタの制御データ部(101)に、当該セクタに割り付けられる論理アドレス(論理セクタアドレス)(図1の101の項目1)と、当該論理セクタアドレスが前記書き換え直前まで割り付けられていたセクタの物理アドレス(物理セクタアドレス)(図1の101の項目2)と、を書き込む。該論理セクタアドレスが割り付けられていたセクタの消去が完了したら、制御データ部の消去フラグ(図1の101の項目4)をオンとする。

【0034】あるいは、各セクタ(図1の10)は、セクタのデータの書き換え時に、新たに書き込まれるセクタの制御データ部(101)に、当該セクタに割り付けられる論理アドレス(論理セクタアドレス)(図1の101の項目1)と、当該論理セクタアドレスが前記書き換え直前まで割り付けられていたセクタの物理アドレス(物理セクタアドレス)(図1の101の項目2)と、当該論理セクタアドレスが割り付けられていたセクタの書込/消去回数(図1の101の項目3)を書き込む。当該論理セクタアドレスが割り付けられていたセクタの消去が完了したら、該セクタの制御データ部の消去フラグ(図1の101の項目4)をオンとする。そして、消去されたセクタ(直前の物理セクタアドレスのセクタ)の制御データ部の消去フラグを立てるとともに、当該セクタの書込/消去の繰り返し回数(図1の101の項目3)を書き込む。

【0035】一部のセクタが消去途中のときに(図3のステップS12)、電源がオフになったとき、電源投入時に、まず各セクタの消去フラグ(図1の101の項目4)を読み出し、消去フラグがオンでない場合、当該セクタの制御データ部に書き込まれている直前の物理セクタアドレス(図1の101の項目2)のセクタの消去を開始する。上記した制御は、フラッシュメモリチップ内のロジック部(図1の11)と、フラッシュメモリの制御装置(図2の30)、ホスト(図2の40)とにおいて、ファームウェア、ソフトウェア等による連携で行われる。

【0036】この実施の形態においては、かかる構成により、フラッシュメモリにおいて、消去時間が速く、消去/書き込みの信頼性を向上させる。

【0037】この実施の形態の作用効果について以下に説明する。本発明においては、消去の単位であるセクタの個数が、論理的に必要なセクタの数(論理アドレス空間を規定する)よりも多く設定されており(セクタ全体で規定される物理アドレス空間>論理アドレス空間)、

選択されたセクタに対して、データの書き換え要求が行われたとき、当該セクタを消去するとともに、付加セクタのうちの一つを、消去されたセクタの論理セクタ番号に置き換え、データの書き込みを行い、その際、新たに書き込みを行うセクタの制御データ部に必要な情報を入力する。これより、見かけ上の、1セクタあたりの消去時間を高速化する。

【0038】また本発明によれば、消去／書き込みを繰り返しているうちに動作不良のセクタが生じた場合、該不良セクタには、論理セクタアドレスが割り当てられないようにして、消去／書き込みで生じる不具合の発生率を低減している。

【0039】そして本発明によれば、論理アドレスを物理アドレスに変換するアドレス変換テーブルはRAM（ランダムアクセスメモリ）に格納されており、電源投入時、あるいはリセット時等に、フラッシュメモリの各セクタの制御データ部の情報を読み出して、論理アドレスと物理アドレスのアドレス変換情報を設定しており、電源断時によって、アドレス変換テーブルのアドレス変換情報の内容が失われても、電源の再投入等より、アドレス変換テーブルは容易に再現される。このため、装置の信頼性を向上している。

【0040】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。図1は、本発明の一実施例を説明するための図である。図1には、フラッシュメモリのチップ全体のレイアウトが示されている。図1を参照すると、このチップ1は、昇圧回路をなすチャージポンプ容量12と、動作やアドレスを制御するロジック部11と、メモリセルアレイ部を備えており、メモリセルアレイ部内のメモリセルは、例えば64Kバイト単位で、セクタ10ごとに分割されている。1セクタは、フラッシュメモリの消去の単位である。

【0041】例えば、32Mbits（メガビット）のフラッシュメモリのチップの場合、いずれも64Kbytes（キロバイト）のセクタ10が64個設けられる（図10（b）参照）。本発明では、さらに、64Kバイトの付加セクタ10Aとして複数設けられている。図10（b）では、A00～A03の4個のセクタが付加セクタである。

【0042】再び図1を参照すると、各セクタ10は、消去、書き換えを制御するための情報を格納する制御データ部101と、データを格納するデータ部102とを備える。

【0043】各セクタに用意される制御データ部101は、アドレス変換情報と、消去、書き換え回数、消去完了を示すフラグ、使用可否を示すフラグ情報が格納される。より詳細には、図1を参照すると、制御データ部101は、

・項目1として、該セクタに割り付けられている論理アドレス（論理セクタアドレス）、

・項目2として、この論理アドレスに直前まで割り付けられていたセクタの物理アドレス（物理セクタアドレス）、

・項目3として、直前の物理アドレスのセクタの書き込み／消去回数、

・項目4として、直前の物理アドレスのセクタの消去の完了の有無を示す消去フラグ、

・項目5として、自セクタの消去と書き込み回数、

・項目6として、自セクタの使用の可否、

・項目7として、自セクタの消去の完了を示す消去フラグ

の各制御データを含む。

【0044】図2は、本発明の一実施例のメモリが適用されるシステムの構成を示す図である。32Mビットのフラッシュメモリのチップの場合、いずれもメモリ容量が64Kバイトの64個のセクタ10<sub>1</sub>～10<sub>64</sub>（物理セクタ番号0～63）が設けられており、さらに64Kバイトの4個の付加セクタ10A<sub>1</sub>～10A<sub>4</sub>が設けられている。図2に示す例では、4個の付加セクタの物理セクタ番号は64～67とされる。

【0045】CPU等のホスト40からのコマンド又はアドレス信号で指定されるアクセスアドレスは、論理アドレスとして、制御装置（コントローラ）30に供給され、制御装置30では、RAMに格納されているアドレス変換テーブル20を参照して論理アドレスを物理アドレスに変換し、フラッシュメモリへのアクセスが行われる。アドレス変換テーブル20は、論理アドレスと物理アドレスの対応をテーブル形式で格納したものであり、電源投入等の初期化時に、論理アドレス（論理セクタ番号）とセクタの物理アドレス（物理セクタ番号）との対応が格納される。セクタをアクセスする論理アドレスとしては、64個のセクタをアクセスするために、例えばアドレス信号の6ビットが用いられる。RAMあるいはレジスタ群等に格納されている付加セクタ管理リスト50には、電源投入等の初期化時に、付加セクタの物理セクタ番号が格納されるとともに、セクタの書き換え時において、消去され新たに付加セクタとして管理されるセクタの物理アドレスが登録される。

【0046】例えば製品出荷時には、図2のアドレス変換テーブル20に示すように、論理セクタ番号0は物理セクタ番号0、論理セクタ番号1は物理セクタ番号1、論理セクタ番号63は物理セクタ番号63と一対一に対応しているとする（物理セクタ番号0～63の各セクタの制御データ部の論理アドレスには、0～63が書き込まれている）。また付加セクタ管理リスト50には、第1乃至第4の付加セクタの物理セクタ番号64～67が登録されているものとする。その後、例えば論理セクタ番号0の書き換えが行われる場合、物理セクタ番号0は

消去されて付加セクタとなり（物理セクタ番号0が付加セクタ管理リスト50に付加セクタとして登録される）、物理セクタ番号64の付加セクタが論理セクタ番号0として割り当てられる（物理セクタ番号64は付加セクタ管理リスト50から削除される）。この場合、アドレス変換テーブル20において、論理セクタ番号0に対応する物理セクタ番号は64となる。アドレス変換テーブル20に入力される論理アドレスは0～63とされる。

【0047】電源投入時に、ホスト40からの指令を受けて、制御装置30は、各セクタの制御データ部の論理アドレスを読み出し、該セクタの物理アドレスからアドレス変換テーブル20の内容を作成する。制御装置30は、付加セクタ管理リスト60に付加セクタの物理アドレス（物理セクタ番号）を設定する。その際、制御装置30は、論理セクタとして論理アドレスが割り付けられているセクタ以外のセクタのうち、制御データ部の項目7の消去フラグが消去完了を示し項目6の使用可否フラグが使用可を示すセクタを付加セクタとして、その物理セクタ番号を、付加セクタ管理リスト50に登録する。そして、セクタの書き換えによる論理アドレスとセクタの物理アドレスの対応に変更が生じた場合、ホスト40、制御装置30の制御のもと、アドレス変換テーブル20の内容が更新され、付加セクタ管理リスト50の内容が更新され、さらに、以下に詳細に説明されるように、書き換え対象のセクタの制御データ部の内容が更新される。

【0048】図3は、本発明の一実施例の動作を説明するための図である。以下では、論理セクタ番号“20”を書き換える要求を処理する場合について説明する。この時点で、論理セクタ番号“20”に割り付けられているセクタの物理セクタ番号は“10”であるものとする。

【0049】論理セクタ番号が割り付けられていず（未使用）、使用可能であり、消去済みのセクタを探索する（ステップS10）。その際、消去・書き込みが最小のセクタが選択される。この例では、物理セクタ番号“25”のセクタが選択される。物理セクタ番号“25”は付加セクタ管理リスト50（図2参照）から削除される。

【0050】探索された物理セクタ番号“25”のセクタの制御データ部の項目1、2、3、4（図1参照）には、書き換え要求対象のセクタの論理セクタ番号である“20”と、論理セクタ番号“20”に直前まで割り付けられていたセクタの物理セクタ番号である“10”と、物理セクタ番号“10”の消去・書き込み回数と、消去フラグと、を書き込む（ステップS11）。すなわち、消去される物理セクタ番号10の書き込み消去回数は、物理セクタ番号“10”の制御データ部の項目5、7を読み出し、これを物理セクタ番号“25”のセクタの制御データ部の項目3、4に書き込む。

【0051】物理セクタ番号“10”のセクタを消去し

（ステップS12）、物理セクタ番号“25”に、更新すべきデータを書き込む（ステップS13）。

【0052】物理セクタ番号“10”のセクタの消去が完了した場合（ステップS14のYES）、物理セクタ番号“25”のセクタの制御データ部の項目4の消去フラグをオンとする（ステップS15）。

【0053】物理セクタ番号“10”のセクタの消去ができない場合、物理セクタ番号“10”のセクタの制御データ部の項目6の使用可否のフラグを使用不可とする（ステップS16）。以後、このセクタは、不良セクタとされ、使用されない。

【0054】消去が完了した物理セクタ番号“10”のセクタの制御データ部の項目3に、物理セクタ番号“25”のセクタの制御データ部の項目3に書き込んである物理セクタ番号“10”の消去と書き込み回数を1つインクリメントした値を書き込み、物理セクタ番号“10”のセクタの制御データ部の項目4には、物理セクタ番号“10”のセクタの消去の完了の有無を示す消去フラグを書き込み、物理セクタ番号“10”のセクタの制御データ部の項目6の使用可否フラグを使用可とする（ステップS17）。なお、セクタの制御データ部の項目6の使用可否フラグの値として、消去時の設定値を、使用可としてもよい。

【0055】物理セクタ番号“10”のセクタは、消去済みの使用可能な空の付加セクタとなる（ステップS18）。付加セクタ管理リスト50（図2参照）には、新たに付加セクタとなったセクタの物理セクタ番号“10”が追加される。

【0056】図12は、図2に示した制御を行う制御装置（図2の30）の構成の一例を示す図である。図12を参照すると、制御装置は、セクタ探索部201、セクタの制御データ部の書き込み処理部202、セクタのデータ部の書き込み処理部203、セクタ消去処理部204、第1、第2のセクタの制御データ部の消去情報設定部205、206、付加セクタ管理部207、論理セクタ管理部208、アドレス変換テーブル設定部209、セクタ消去状態管理部210、及び、全体を制御する制御部200を備えている。

【0057】ホスト（図2の40）から制御部200が、論理セクタアドレス（論理アドレス）がL（アドレス変換テーブル（図2の20）から論理セクタアドレスLに対応する物理セクタアドレスをP2とする）のセクタのデータを書き換え要求（コマンド）を受けた場合、セクタ探索部201は、論理セクタアドレスが割り付けられていないセクタ（このセクタは「付加セクタ」として付加セクタ管理リスト50（図2参照）に物理セクタアドレスが登録されて管理される）のうち、使用可能であり（当該セクタの制御データ部の項目6の消去可否フラグが使用可能を示す）、すでに消去済みである（当該セクタの制御データ部の項目7の消去フラグがオンであ

る)セクタを探索する。

【0058】セクタ探索部201でセクタが探索されると、セクタの制御データ部の書き込み処理部202は、論理セクタアドレスLに対応する物理セクタアドレス(P2)のセクタの制御データ部の項目5、項目7等の情報を読み出し、セクタ探索部201で探索された物理セクタアドレス(P1)のセクタの制御データ部の項目1乃至項目4に、論理セクタアドレス(L)と物理セクタアドレス(P2)と、物理セクタアドレス(P2)のセクタの履歴としてこれまでの消去、書き込み回数と、物理セクタアドレス(P2)のセクタの消去が完了した

可否を示す消去フラグをそれぞれ書き込む。  
【0059】セクタのデータ部の書き込み処理部203は、物理セクタアドレス(P1)のセクタのデータ部(図1の102)に新たなデータを書き込む。新たなデータは、物理セクタアドレス(P2)のセクタのデータ部を更新するためのデータであり、制御装置(図2の30)に、セクタのデータ蓄積用のバッファメモリ(図示されない)を設け、このバッファメモリに更新データを一時的に記憶保持しておき、バッファメモリに保持されるデータを、物理セクタアドレス(P1)のセクタのデータ部に書き込む構成としてもよい。

【0060】セクタの制御データ部の書き込み処理部202が、物理セクタアドレス(P1)の付加セクタの制御データ部に、物理セクタアドレス(P2)の消去・書き込み回数、消去の完了の有無等、必要な情報を書き込んだ後に、セクタ消去処理部204は、物理セクタアドレス(P2)のセクタを一括消去する。

【0061】セクタ消去処理部204による物理セクタアドレス(P2)のセクタの消去と、セクタへのデータ書き込み処理部203による物理アドレス(P1)のセクタへの新たなデータを書き込みとは並行して行われる。ただし、セクタの消去時間の方が長い。

【0062】セクタ消去処理部204による、物理セクタアドレス(P2)のセクタの消去が完了した場合、第1のセクタの制御データ部の消去情報設定部205は、物理セクタアドレス(P1)のセクタの制御データ部の項目4の消去フラグを消去完了を示す値に設定する。

【0063】第2のセクタの制御データ部の消去情報設定部206は、消去済みの物理セクタアドレス(P2)のセクタの制御データ部の項目3、項目4に、物理セクタアドレス(P1)のセクタの制御データ部の項目3の消去・書き込み回数を1つインクリメントした値と、物理セクタアドレス(P2)のセクタの消去の完了の有無を示す消去フラグとを書き込み、消去が完了した物理セクタアドレス(P2)のセクタの制御データ部の項目6の使用可否フラグを使用可を示す値に設定する。セクタ消去処理部204による消去の結果、物理セクタアドレス(P2)のセクタが消去できない場合には(消去不良の場合)、第2のセクタの制御データ部の消去情報設定

部206は、物理セクタアドレス(P2)のセクタの制御データ部の項目6の使用可否のフラグを使用不可を示す値に設定する。

【0064】付加セクタ管理部207は、付加セクタ管理リスト50の管理を行い、セクタ消去処理部204による物理セクタアドレス(P2)のセクタの消去が完了した場合、物理セクタアドレス(P2)のセクタを、消去済みの使用可能な、新たな付加セクタ(論理セクタアドレスが割り付けられていない)として、その物理セクタアドレス(P2)を、付加セクタ管理リスト50に登録する。また、付加セクタ管理部207は、セクタ探索部201で付加セクタの探索が行われた場合、該探索されたセクタの物理セクタアドレスを、付加セクタ管理リスト50から削除する。

【0065】論理セクタ管理部208は、アドレス変換テーブル(図2の20)において、論理セクタアドレスL1に対応する物理セクタアドレスとして、データの書き込みが行われた付加セクタの物理セクタアドレスP1を更新登録する。これ以降、データの書き込みが行われた付加セクタは、ホスト(図2の40)から論理セクタアドレスLでアクセスされる論理セクタとなる。

【0066】アドレス変換テーブル設定部209は、システムの電源投入時等に、論理セクタアドレスが割り付けられているセクタの制御データ部を読み出し、該セクタに割り当てられている論理セクタアドレスと、物理セクタアドレスの対応をアドレス変換テーブル(図2の20)に設定する。また付加セクタ管理部207は、システムの電源投入時等に、論理セクタアドレスが割り付けられていないセクタのうち、消去済みであり、使用可能なセクタを付加セクタとして、RAM又はレジスタ等からなる付加セクタ管理リスト50に登録する。

【0067】セクタ消去状態管理部210は、セクタ消去処理部204がセクタを消去中に電源断した場合において、電源再投入時に、当該セクタの消去を行う。なお、図12に示した各要素の機能は、図2の制御装置30とフラッシュメモリチップ1のロジック部(図1の11)とに機能分散させてもよい。

【0068】図4は、本発明の一実施例において、セクタの書き換え動作を時間軸にそって示した模式図である。図4において、縦軸は、物理セクタ番号0~63と、第1~第4の付加セクタの物理セクタ番号Add0~Add3に対応し、横軸の100、200、300、~900、1000の単位はミリ秒(ms)であり、セクタに対応して記載されている破線はProg(書き込み)、実線はErase(消去)の期間を表している。また、図5は、本発明の一実施例のセクタの書き換え動作時の論理セクタ番号と物理セクタ番号の対応の変化の過程を模式的に説明するための図であり、従来の技術の説明で参照された図11に対応している。なお、付加セクタには、論理セクタ番号(0~63の値をとる)は割

り当てられないが、図5では、単に説明を容易とするために、第1乃至第4の付加セクタをそれぞれ番号Add 1、Add 2、Add 3、Add 4で表している。図6は、図5に示した書き換え動作を、フラッシュメモリの各セクタに割り当てられる論理セクタを一覧で示した図であり、図6の(a)～(f)は、図5の消去/書き込み1～6に対応している。

【0069】図4、図5、及び図6を参照して、本発明の一実施例における、セクタの書き換え動作についてさらに説明する。使用開始当初は、論理セクタ番号と物理セクタ番号とは一致している。また、1つのセクタを消去するのに必要な時間を400msとし、付加セクタの数を4個とする。0～63セクタまですべて使用されているものとする。このとき、4個の付加セクタの物理セクタ番号64、65、66、67が、付加セクタ管理リスト50(図2参照)に登録されている。なお、4個の付加セクタの管理は、制御装置(図2の30参照)の付加セクタ管理部(図12の207)またはフラッシュメモリ1のロジック部(図1の11)で行われる。

【0070】最初、物理セクタ番号0～63(論理セクタ番号は0～63)の64個すべてのセクタにデータが書き込まれており、使用されている。

【0071】論理セクタ番号63のセクタのデータを書き換える要求(コマンド)が入力された場合、図5の消去/書込1に示すように、物理セクタ番号63が消去され、同時に、第1の付加セクタ(物理セクタ番号64)に、更新対象のデータが書き込まれる。そして、この物理セクタ番号64のセクタの論理セクタ番号が「63」となる(図6(b)参照)。第1の付加セクタ(物理セクタ番号64)は、この段階で、論理アドレスは割り付けられていず、アドレス交換テーブル(図2の20)に登録されていないため、ホスト(図2の40)側では見えない。第1の付加セクタ(物理セクタ番号64)の選択、第1の付加セクタ(物理セクタ番号64)への更新対象のデータが書き込みは、書き換えコマンドを受けた制御装置(図2の30)の付加セクタ探索部、セクタのデータ部の書き込み処理部(図12の201、203)で行われる。あるいは、フラッシュメモリのロジック部(図1の11)で行う構成としてもよい。

【0072】図5に示すように、消去された物理セクタ番号63のセクタは、第4の付加セクタ(付加セクタ番号Add 4)へと変更される(図6(b)のA03)。

【0073】物理セクタ番号65、66、67の各付加セクタは、第1乃至第3の付加セクタ1、2、3(図5のAdd 1、Add 2、Add 3、図6(b)のA00、A01、A02)となる。なお、図5における、第1乃至第4の付加セクタの番号Add 1、Add 2、Add 3、Add 4、図6におけるA00～A03は、ホスト側に見える論理アドレスではなく、第1乃至第4の付加セクタのいずれであるかを模式的に示したものであ

る。消去された物理セクタ番号63のセクタの第4の付加セクタ(付加セクタ番号Add 4)への移行管理も、セクタの書き換えコマンドを受けた制御装置(図2の30)の付加セクタ管理部(図12の207)で行われる。この付加セクタ管理部(図12の207)の機能は、フラッシュメモリのロジック部(図1の11)に実装してもよい。制御装置(図2の30)の付加セクタ管理部(図12の207)は、付加セクタ管理リスト(図2の50)における、第1乃至第4の付加セクタAdd 1～Add 4を、物理セクタ番号65、66、67、63に更新登録する。

【0074】論理セクタ番号3のセクタのデータを書き換える場合、図5の消去/書き込み2において、物理セクタ番号3が消去され、同時に第1の付加セクタ(物理セクタ番号65)に、書き換えようとしている新規データが書き込まれ、物理セクタ番号65の付加セクタが論理セクタ上の3、すなわち論理セクタ番号3となる。物理セクタ番号3は、第4の付加セクタ(Add 4)へと変更される(図6(c)参照)。物理セクタ番号66、67のセクタは、第1、第2の付加セクタ1、2(Add 1、2)、物理セクタ番号63のセクタは、第3の付加セクタ3(Add 3)、物理セクタ番号3のセクタは第4の付加セクタ(図5のAdd 4、図6(c)のA03)となる。この操作が順次繰り返される。

【0075】次に、論理セクタ番号63のセクタのデータを消去して書き換える場合、図5の消去/書き込み3において、物理セクタ番号64が消去され、同時にその時点で第1の付加セクタ(物理セクタ番号66)に、書き換えようとしている新規データが書き込まれ、物理セクタ番号66の付加セクタが論理セクタ上の63、すなわち論理セクタ番号63となる。物理セクタ番号64は、第4の付加セクタ(図5のAdd 4、図6(d)のA03)へと変更される。

【0076】次に、論理セクタ番号62のセクタのデータを消去して書き換える場合、図5の消去/書き込み4において、物理セクタ番号62が消去され、同時にその時点で第1の付加セクタ(物理セクタ番号67)に、書き換えようとしている新規データが書き込まれ、物理セクタ番号67の付加セクタが論理セクタ上の62、すなわち論理セクタ番号62となる。物理セクタ番号62は、第4の付加セクタ(図5のAdd 4、図6(e)のA03)へと変更される。

【0077】この結果、図4に示すように、複数のセクタを並行して消去することになる。物理セクタ番号63の消去は時間0～400ms、物理セクタ番号3の消去は時間100～500ms、物理セクタ番号64の消去は時間200～600ms、物理セクタ番号62の消去は時間300～700msとされ、時間600～700msでは4つのセクタが同時に消去されている。なお、図4の括弧( )内は、物理セクタ番号に割り付けられる

論理セクタ番号であり、図5の書き換え時の割り付けに対応している。

【0078】図9は、本発明の一実施例の動作の一例を模式的に示す図である。図9に示す例では、物理セクタ番号63と、物理セクタ番号64（第1の付加セクタ：Add0）、物理セクタ番号65（第2の付加セクタ：Add1）、物理セクタ番号66（第3の付加セクタ：Add2）、物理セクタ番号67（第4の付加セクタ：Add3）が、互いにタイミングをずらしながら（図9では100ms）、並列に、消去、書き換えが行われており、0msから800msの間に、5個のセクタの消去が行われており、シーケンシャルに消去・書き込みを行った場合、消去時間400ms＋書き込み時間100msの和である500msを5倍した時間、すなわち、2500msとなり、1/3以下に短縮している。

【0079】なお、図9において、例えば物理セクタ番号63は消去後に、付加セクタとして管理され、あるセクタのデータ書き換え要求に対して、付加セクタをなす物理セクタ番号63が選択されて更新すべきデータが書き込まれ論理セクタとして管理され（書き換えデータが少ないため書き込み時間は短い）、その後、再び物理セクタ番号63の書き換え要求に対して、物理セクタ番号63が消去されるというシーケンスが繰り返されている。

【0080】図4、図9等からも明らかとなり、複数のセクタの消去（実線で示す）を並行して行うことで、外部から見たときの1セクタあたりの消去時間をT、セクタ1つの消去時間をt、付加セクタ数をMとすると、並行して消去できるセクタ数がM以上である場合、最速で

$$T = t/M$$

に短縮することができる。

【0081】すなわち、本実施例では、4個の付加セクタを備え、並行して消去できるセクタ数が4以上の場合、一セクタの消去時間を見かけ上、 $400/4 = 100$ msに短縮することができる。フラッシュメモリチップ1（図1参照）において、チャージポンプ容量12は、4セクタ以上同時に消去可能とする分の容量とされ（4セクタ独立に並列に消去可能であり、さらに別のセクタの書き込みに要する電力とされる）、ロジック部11は、並列に消去するセクタ、及び書き込み対象セクタの切替え制御を行う。

【0082】論理セクタ番号から、物理セクタ番号への変換は、アドレス変換テーブル20を使用して変更を行う。このアドレス変換テーブルの内容は、フラッシュメモリのセクタの制御データ部に記憶されている情報を用いて設定される。

【0083】本発明の一実施例によれば、セクタのデータ書き換え時、付加セクタにデータを書き込んで論理セクタ番号を割り付け、もとの論理セクタを消去して付加

セクタ（論理アドレスではアクセスされない）とする構成とし、物理セクタ番号と論理セクタ番号の対応を順次変更することにより、特定のセクタに、書き込み・消去が集中して繰り返されるということを回避し、消去・書き換えの繰り返し回数を、最大で、付加セクタの個数倍にすることができる。

【0084】次に、本発明の一実施例において、書き込み・消去の繰り返して、セクタに不良が発生した場合について説明する。

【0085】再び図5を参照すると、論理セクタ番号63のセクタのデータを消去して書き換える場合、消去／書き込み5のところで、物理セクタ番号66が消去できなくなった場合（消去不良発生）、これ以降、物理セクタ番号66（図6（f）のA03）のセクタを使用禁止する。物理セクタ番号66のセクタの制御データ部の項目6を使用不可とする。本実施例において、使用不可とされたセクタの物理セクタ番号66を、制御装置（図2の30）又はフラッシュメモリのロジック部（図1の11）内に設けられる欠陥セクタテーブル（不図示）等で記憶管理してもよいことは勿論である。

【0086】このように、不良セクタの発生時には、付加セクタの数を減少させていくことで、不良セクタの発生を吸収する。付加セクタの数は減少するが、論理セクタ番号の数は変更されない。図5の消去／書き込み6において、付加セクタは、Add1、Add2、Add3（図6（f）のA00～A02）の3つとされ、これ以降の消去／書き込み7、8においても、付加セクタは3つとされる。

【0087】次に、本実施例における付加セクタの個数について説明する。付加セクタは、フラッシュメモリの設計時に、外部から見た場合の所望の消去時間と、製品として信頼性の上で必要とされる不良発生率とを考慮して、論理セクタ数に対する、付加セクタ数が用意される。

【0088】また、ウエハ試験等の選別工程では、フラッシュメモリのセクタのすべてについてチェックし、良／不良を判定しているが、本実施例のように、付加セクタが複数用意されている場合には、選別工程でフラッシュメモリのセクタの数個が不良であっても、不良セクタを使用不可とし、付加セクタを、論理セクタとして割り当てることで、製品自体を良品として、扱うこともできる。

【0089】セクタ内の制御データ部に格納されているセクタの消去／書き込みの繰り返し回数を、データ書き込みの際に認識し、論理アドレス上、付加セクタとなっているものの中で、繰り返し回数の一番少ないものから順次使用していくことで、書き込み・消去の繰り返しの特定セクタへの偏りを分散させている。

【0090】本実施例では、論理セクタの数よりも物理セクタの数を多く用意しており、フラッシュメモリの1

チップとしてのみでなく、装置に同一構成のチップが複数搭載される場合でも、それらのチップ間で、付加セクタが共用されるように、ロジック部を設計することで、見かけ上の消去時間を短縮し、信頼性を向上させることができる。

【0091】なお、本実施例において、図5等に示した書き換えのシーケンスで、最後に消去されるセクタの消去が終了するまで、電源はオン状態としておく。また電源再投入時、消去途中だったものは、追加消去から実行する。このとき、どのセクタが消去途中であるかは、各セクタの制御データ部に記憶されている、直前の物理セクタ番号（物理アドレス）とその物理セクタ番号が消去完了しているかを示す消去フラグとを、電源投入時に読み出すことで、確認される。消去途中であれば、物理セクタ番号のセクタの消去を開始する。図12の消去状態管理部210が、電源投入時、消去途中で電源断となったセクタを検出し、消去を再開する制御を行う。

【0092】本実施例において、図4に示したように、並行して消去されるセクタの数が増えるため、並行して消去するセクタ数、書き込みされるセクタ数等に対応したパワーに対処可能なチャージポンプ容量12（図1参照）が必要とされる。

【0093】この実施例においては、論理的に必要なセクタ数より多くのセクタを物理的に設け、各セクタには、アドレス変換情報、書き換え回数、消去フラグ等の情報をセクタ内に用意しておき、将来的に発生した不良セクタを使用しないようにすることで、書き込み消去の繰り返しを物理的な特定のセルまたはセクタに集中しないように分散させている。

【0094】かかる構成の本実施例の代表的な作用効果について説明する。

【0095】第1の作用効果として、1セクタのみかけ上の消去スピードを、従来の1セクタの消去時間に対して、 $(1/(\text{付加セクタ数}))$ としている。

【0096】第2の作用効果として、書き込み／消去の繰り返しの寿命を、最大、付加セクタ数倍とすることが可能であるということである。最小、論理セクタ数／物理セクタ数である。

【0097】第3の作用効果として、書き込みまたは消去によるチップの不良率を減少させる。図10(a)に示した従来の構成（論理セクタ数＝物理セクタ数）の場合、1つのチップがM個のセクタを有し、チップ中で1つでもセクタが不良である場合、当該チップは不良となる。これに対して、本実施例では、論理セクタ数Mに対して付加セクタ数をNとすると、 $(N+1)$ 個のセクタが故障している（不良である）場合に、チップは不良となる。すなわち、本実施例においては、 $M+N$ 個のセクタのうち、N個のセクタが同時に不良であっても、チップ不良とはならず、チップの不良率を、従来の構成と比較して、特段に低減している。

【0098】このように、見かけ上のセクタ消去時間を短縮し、不良率を特段に低減する本発明は、データの書き換えが行われるフラッシュメモ리카ードに適用して好適とされる。

【0099】なお、上記実施例において、アドレス変換テーブル、フラッシュメモリへのアクセス制御を行う制御装置（図2の30）の機能を、フラッシュメモリのチップ内に集積化してもよいことは勿論である。

【0100】上記実施例において、付加セクタ管理リスト（図2の50）への付加セクタの登録において、消去・書き換え回数を優先順位として、消去・書き換え回数の最小のセクタが、最初に取り出される第1の付加セクタとなるように、付加セクタ管理リストに登録するようにしてもよい。この場合、セクタ探索部（図12の201）は、第1の付加セクタを付加セクタ管理リストから取り出すことで、消去・書き換え回数の比較処理を行うことなく、付加セクタのうち消去・書き換え回数の最も少ないセクタを取り出すことができる。

【0101】以上、本発明を上記実施例に即して説明したが、本発明は、上記実施例にのみ限定されるものではなく、特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0102】

【発明の効果】以上説明したように、本発明によれば、下記記載の効果を奏する。

【0103】本発明の第1の効果は、複数の付加セクタを備え、書き換え時、複数のセクタを並列に消去可能としたことにより、1セクタのみかけ上の消去スピードを、従来の1セクタの消去時間に対して、 $(1/(\text{付加セクタ数}))$ としている、ということである。

【0104】本発明の第2の効果は、セクタの書き換え時、消去された付加セクタにデータを書き込み、当該セクタは消去して付加セクタに戻す制御を行い、付加セクタを循環させて用いる構成としたことにより、書き込み／消去の繰り返しの寿命が、最大、付加セクタ数の倍とすることが可能である、ということである。

【0105】本発明の第3の効果は、不良セクタが存在する場合、付加セクタを減らすことにより、書き込み、消去による不良率を減少する、ということである。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を説明するための図である。

【図2】本発明の一実施例の構成を説明するための図である。

【図3】本発明の一実施例における書き換え動作の一例を説明するための流れ図である。

【図4】本発明の一実施例の動作シーケンスを説明するための図である。

【図5】本発明の一実施例の書き換え時の物理セクタ番

号と論理セクタ番号の対応の時間的推移の様子を模式的に示す図である。

【図6】本発明の一実施例の書き換え時の物理セクタ番号と論理セクタ番号の対応の推移を説明するための図である。

【図7】本発明の実施の形態における、物理セクタ番号と論理セクタ番号の対応を説明するための図である。

【図8】本発明の実施の形態における、論理セクタ番号03書き換え時の物理セクタ番号と論理セクタ番号の対応の変化を説明するための図である。

【図9】本発明の一実施例の動作シーケンスを説明するための図である。

【図10】(a)は、従来のフラッシュメモリのチップレイアウト、(b)は本発明の実施の形態におけるフラッシュメモリのチップレイアウトを模式的に示す図である。

【図11】従来のフラッシュメモリの書き換え時の物理セクタ番号と論理セクタ番号の対応の時間的推移の様子を模式的に示す図である。

【図12】本発明の一実施例における制御装置の機能構成を示す図である。

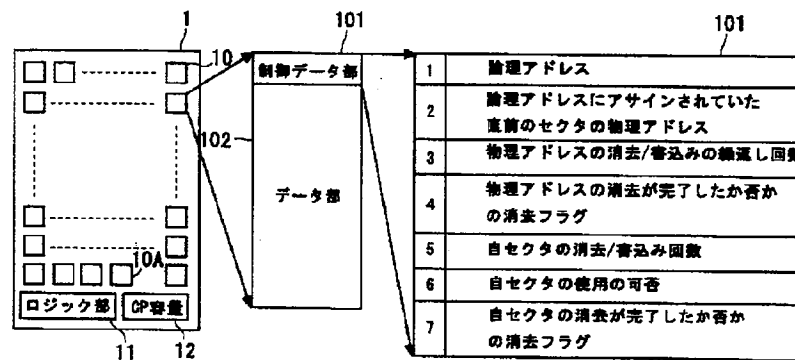
【図13】従来のフラッシュディスクカードの構成を示す図である。

【符号の説明】

- 1 フラッシュメモリ
- 10 セクタ
- 10A 付加セクタ
- 11 ロジック部

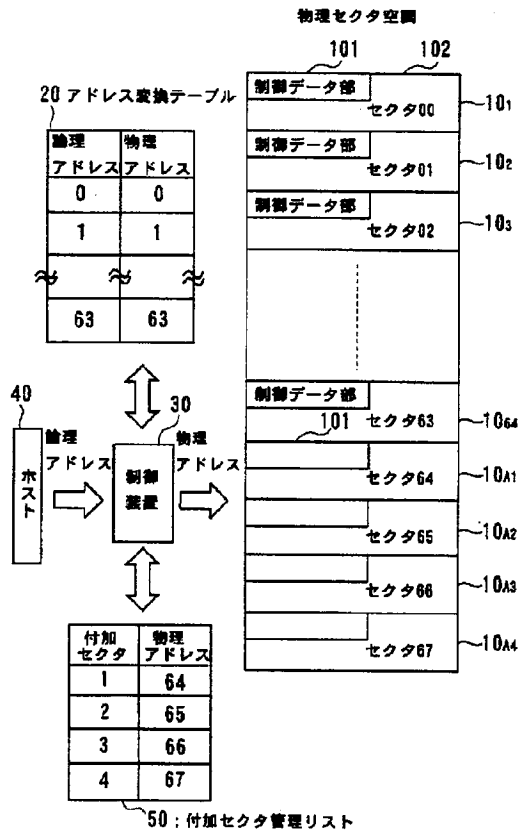
- \* 12 チャージポンプ(CP)容量
- 20 アドレス変換テーブル
- 30 制御装置(コントローラ)
- 40 ホスト
- 50 付加セクタ管理リスト
- 91 論理/物理アドレス変換テーブル
- 92 欠陥セクタ置換テーブル
- 101 制御データ部
- 102 データ部
- 200 制御部
- 201 セクタ探索部
- 202 セクタの制御データ部の書き込み処理部
- 203 セクタのデータ部の書き込み処理部
- 204 セクタ消去処理部
- 205 第1のセクタの制御データ部の消去情報設定部
- 206 第2のセクタの制御データ部の消去情報設定部
- 207 付加セクタ管理部
- 208 論理セクタ管理部
- 209 アドレス変換テーブル設定部
- 210 セクタ消去状態管理部
- 400 フラッシュメモリ
- 500 セクタデータ領域
- 501 セクタ管理データ領域
- 502 ディレクトリエントリ及びFATのデータ
- 503 第1のエリア
- 504 第2のエリア
- 505 第3のエリア
- \* 900 RAM

【図1】

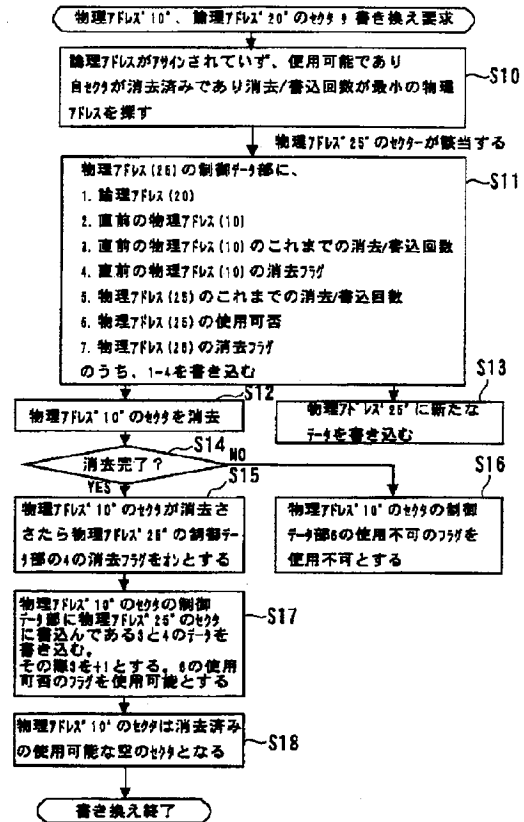




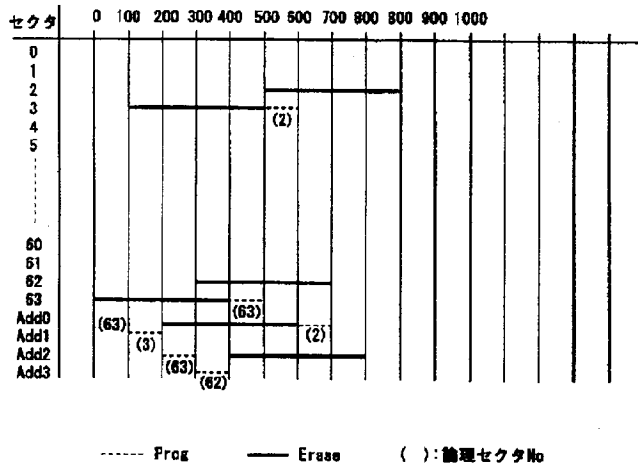
【図2】



【図3】



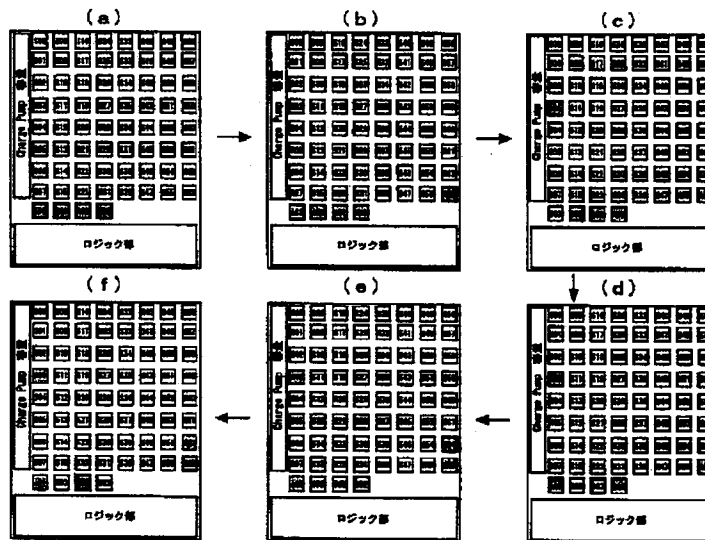
【図4】



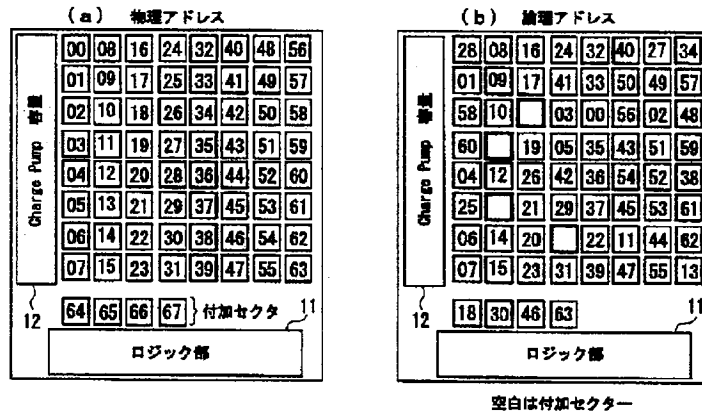
【図5】

物理メモ-No	0	1	2	3	4	5	6	7	8
0	0	0	0	0	0	0	0	0	0
1	1	1	1	1	1	1	1	1	1
2	2	2	2	2	2	2	2	2	2
3	3	3	3	3	3	3	3	3	3
4	4	4	4	4	4	4	4	4	4
5	5	5	5	5	5	5	5	5	5
6	6	6	6	6	6	6	6	6	6
7	7	7	7	7	7	7	7	7	7
8	8	8	8	8	8	8	8	8	8
9	9	9	9	9	9	9	9	9	9
10	10	10	10	10	10	10	10	10	10
11	11	11	11	11	11	11	11	11	11
12	12	12	12	12	12	12	12	12	12
57	57	57	57	57	57	57	57	57	57
58	58	58	58	58	58	58	58	58	58
59	59	59	59	59	59	59	59	59	59
60	60	60	60	60	60	60	60	60	60
61	61	61	61	61	61	61	61	61	61
62	62	62	62	62	62	62	62	62	62
63	63	63	63	63	63	63	63	63	63
Add0 (64)	Add1	Add2	Add3	Add4	Add5	Add6	Add7	Add8	Add9
Add1 (65)	Add2	Add3	Add4	Add5	Add6	Add7	Add8	Add9	Add10
Add2 (66)	Add3	Add4	Add5	Add6	Add7	Add8	Add9	Add10	Add11
Add3 (67)	Add4	Add5	Add6	Add7	Add8	Add9	Add10	Add11	Add12

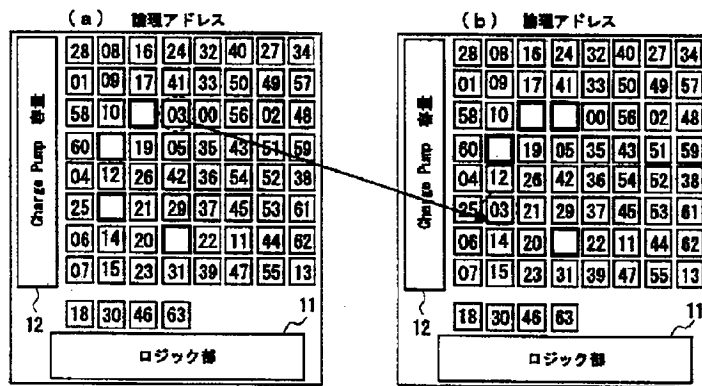
【図6】



【図7】

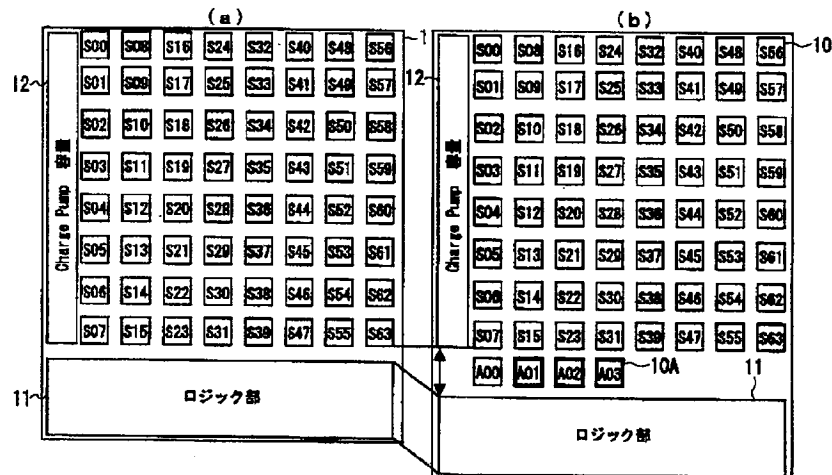


【図8】



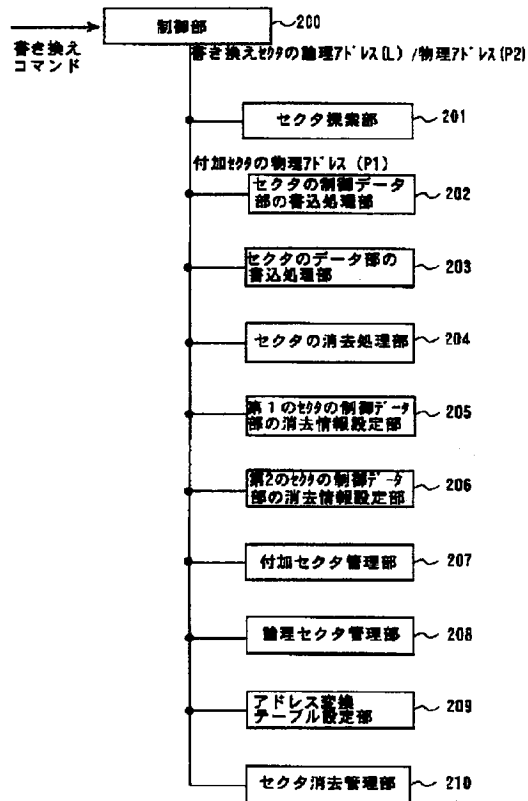
論理セクタ番号03を書き換える場合

【図10】

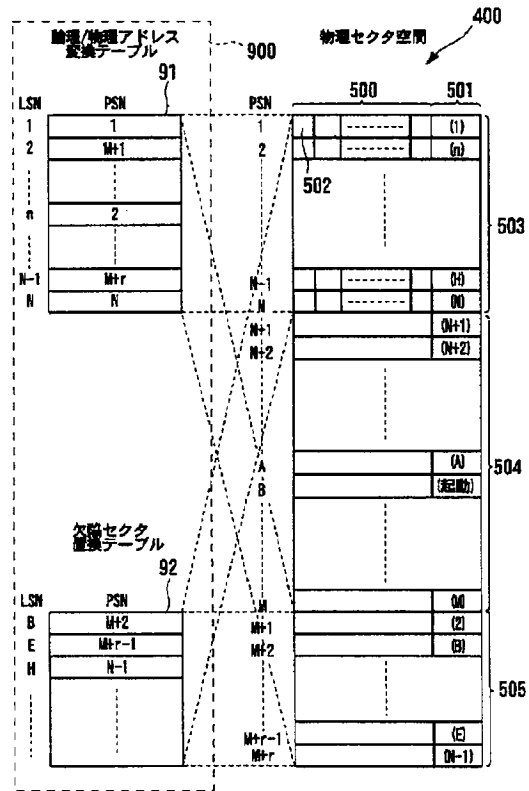




【図12】



【図13】



フロントページの続き

(51)Int.Cl.

識別記号

F I

テーマコード (参考)

G11C 17/00

601C

601E

Fターム (参考) 5B025 AD00 AD01 AD04 AD08 AE01

AE05 AE08

5B060 AA02 AA06 AA14

5B082 CA01 CA05 JA06



US007039775B2

(12) **United States Patent**  
**Saito et al.**

(10) **Patent No.:** **US 7,039,775 B2**  
 (45) **Date of Patent:** **May 2, 2006**

(54) **NON-VOLATILE STORAGE DEVICE AND  
 REWRITE CONTROL METHOD THEREOF**

6,625,715 B1 \* 9/2003 Mathews ..... 711/207  
 6,772,274 B1 \* 8/2004 Estakhri ..... 711/103

(75) Inventors: **Kenji Saito**, Tokyo (JP); **Teiichiro  
 Nishizaka**, Tokyo (JP)

**FOREIGN PATENT DOCUMENTS**

JP 09-081332 3/1997

(73) Assignee: **NEC Electronics Corporation**,  
 Kanagawa (JP)

**OTHER PUBLICATIONS**

English Bibliography and Abstract of JP 09-081332 (cited  
 above).

(\*) Notice: Subject to any disclaimer, the term of this  
 patent is extended or adjusted under 35  
 U.S.C. 154(b) by 217 days.

\* cited by examiner

(21) Appl. No.: **10/164,657**

*Primary Examiner*—Pierre M. Vital

(22) Filed: **Jun. 6, 2002**

(74) *Attorney, Agent, or Firm*—Darryl G. Walker, Bradley T.  
 Sako

(65) **Prior Publication Data**

US 2002/0188814 A1 Dec. 12, 2002

(30) **Foreign Application Priority Data**

Jun. 8, 2001 (JP) ..... 2001-174517

(51) **Int. Cl.**  
**G06F 12/00** (2006.01)

(52) **U.S. Cl.** ..... **711/159; 711/202**

(58) **Field of Classification Search** ..... **711/103,**  
**711/159, 156, 202, 102; 345/556**  
 See application file for complete search history.

(56) **References Cited**

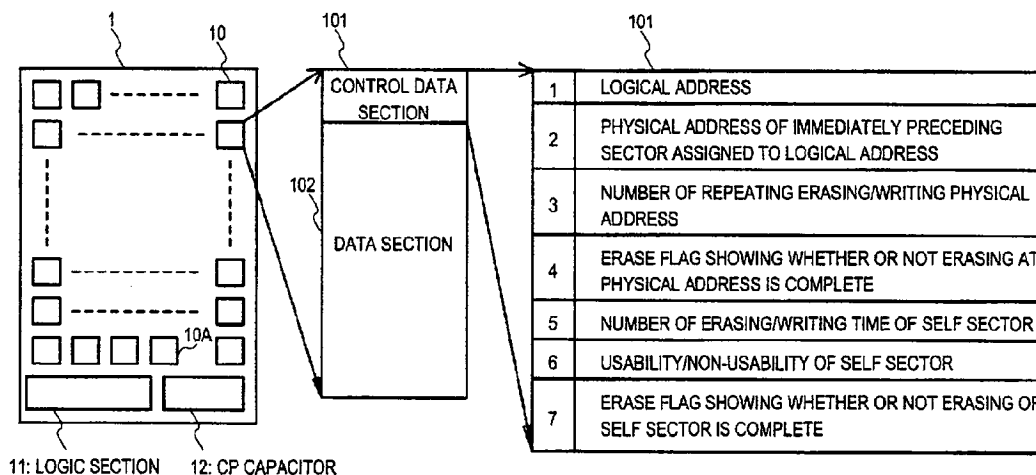
**U.S. PATENT DOCUMENTS**

5,485,595 A \* 1/1996 Assar et al. .... 711/103  
 5,983,312 A \* 11/1999 Komatsu et al. .... 711/103  
 6,401,160 B1 \* 6/2002 See et al. .... 711/5  
 6,427,186 B1 \* 7/2002 Lin et al. .... 711/103

(57) **ABSTRACT**

A non-volatile storage device (1), such as a flash memory, that may include a plurality of sectors and additional sectors has been disclosed. Sectors may include a physical sector number. A logical sector number may be assigned to a sector with additional sectors not assigned a logical sector number. When an erase/write command is executed for a logical sector address, an additional sector may be selected to have the new or updated data written into and may be assigned the logical sector number. The additional sector assigned the logical sector number may then have the new or updated data written into while the physical sector number previously assigned the logical address is being erased. In this way, an apparent erase time may be reduced. The newly erased sector may be a new additional sector. Each sector may include a control data section (101) and a data section (102). Control data section (101) may store control data for controlling erasing and rewriting.

**24 Claims, 13 Drawing Sheets**



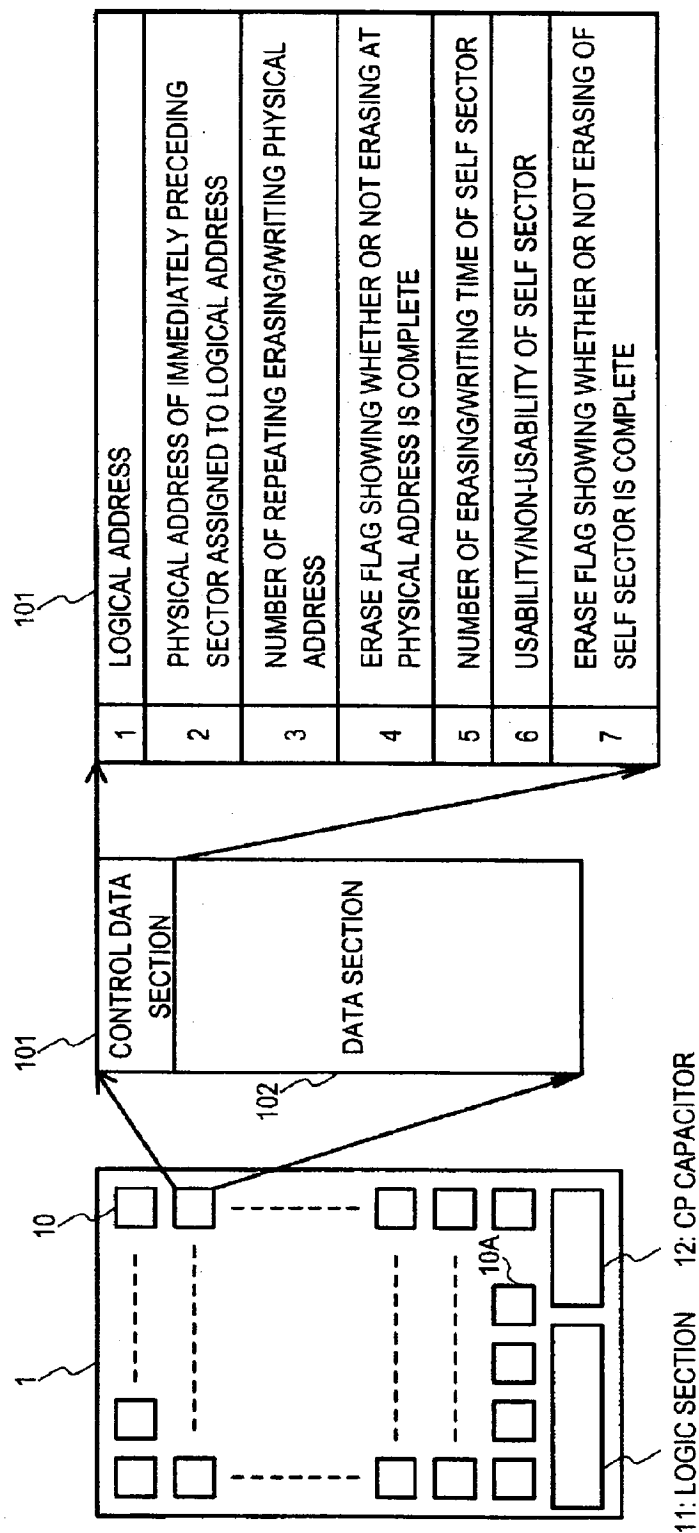


FIG. 1

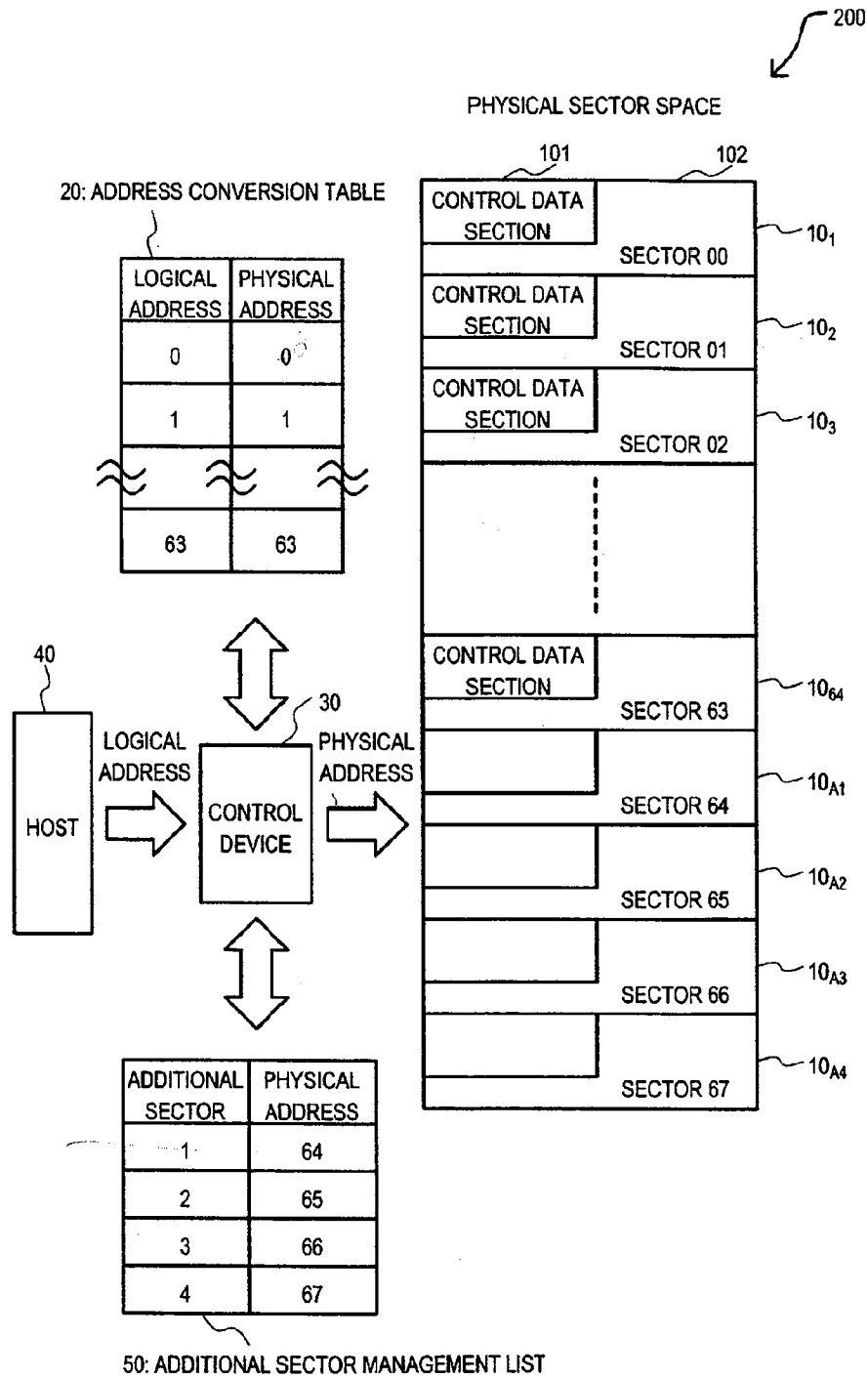


FIG. 2



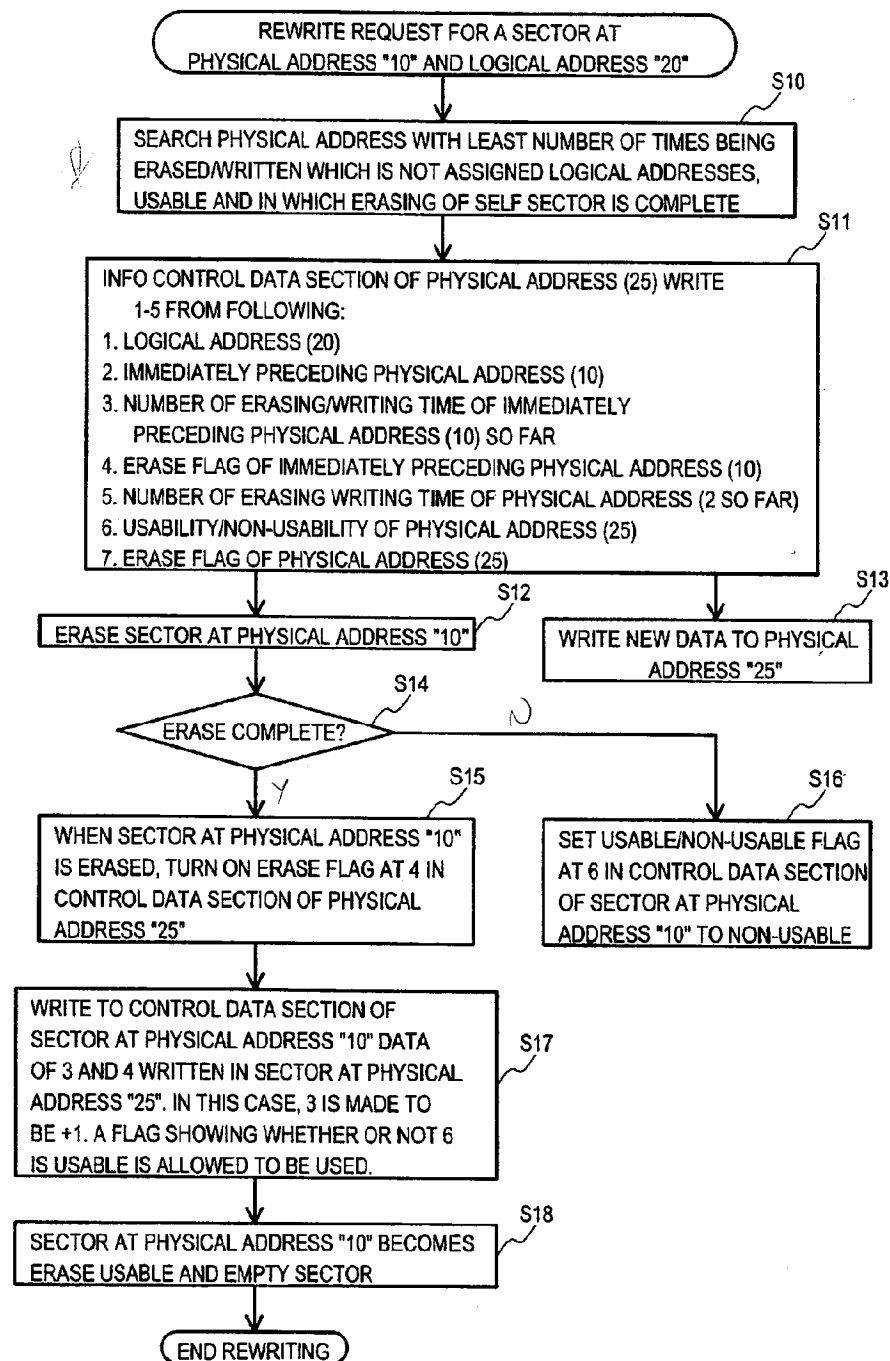


FIG. 3

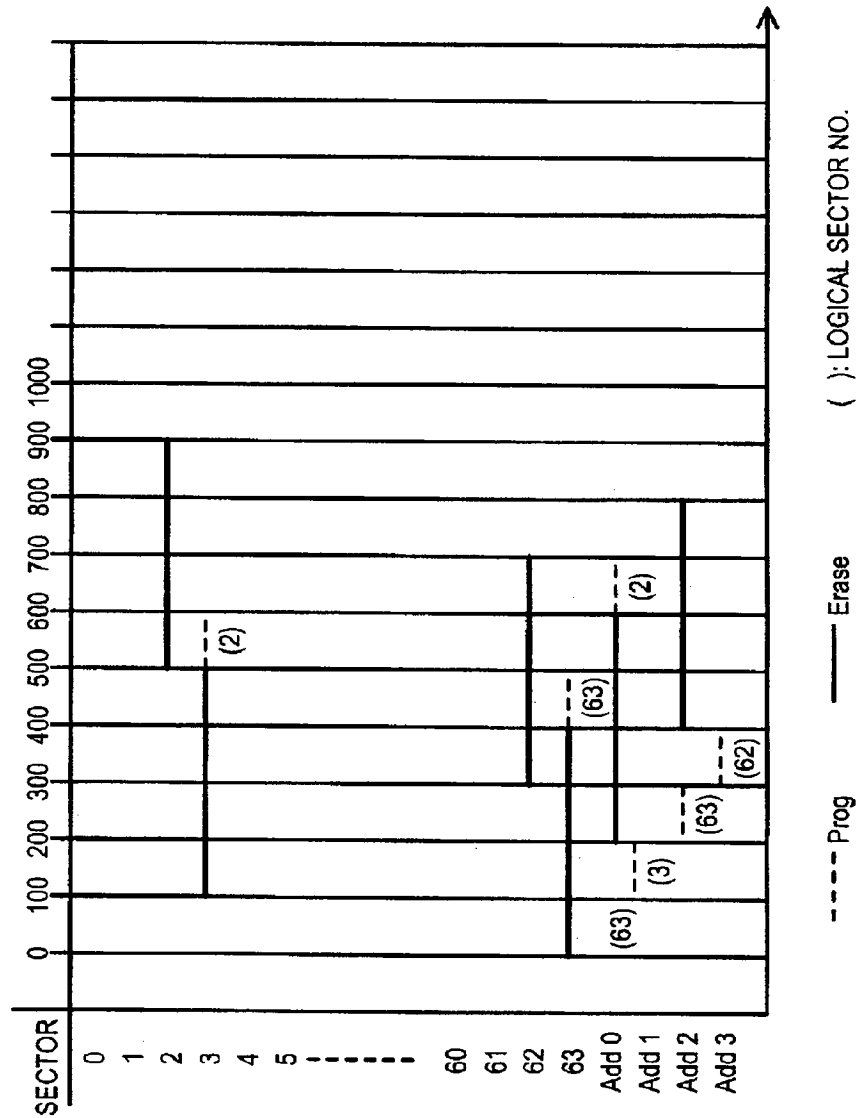


FIG. 4

PHYSICAL SECTOR NO.	LOGICAL SECTOR NO.	1	2	3	4	5	6	7	8
	ERASE/WRITE	1	2	3	4	5	6	7	8
0		0	0	0	0	0	0	0	0
1		1	1	1	1	1	1	1	1
2		2	2	2	2	2	2	2	2
3		3	3	3	3	3	3	3	3
4		4	4	4	4	4	4	4	4
5		5	5	5	5	5	5	5	5
6		6	6	6	6	6	6	6	6
7		7	7	7	7	7	7	7	7
8		8	8	8	8	8	8	8	8
9		9	9	9	9	9	9	9	9
10		10	10	10	10	10	10	10	10
11		11	11	11	11	11	11	11	11
12		12	12	12	12	12	12	12	12
57		57	57	57	57	57	57	57	57
58		58	58	58	58	58	58	58	58
59		59	59	59	59	59	59	59	59
60		60	60	60	60	60	60	60	60
61		61	61	61	61	61	61	61	61
62		62	62	62	62	62	62	62	62
63		63	63	63	63	63	63	63	63
Add 0 (64)		Add 1	Add 2	Add 3	Add 4	Add 5	Add 6	Add 7	Add 8
Add 1 (65)		Add 1	Add 2	Add 3	Add 4	Add 5	Add 6	Add 7	Add 8
Add 2 (66)		Add 1	Add 2	Add 3	Add 4	Add 5	Add 6	Add 7	Add 8
Add 3 (67)		Add 1	Add 2	Add 3	Add 4	Add 5	Add 6	Add 7	Add 8

FIG. 5

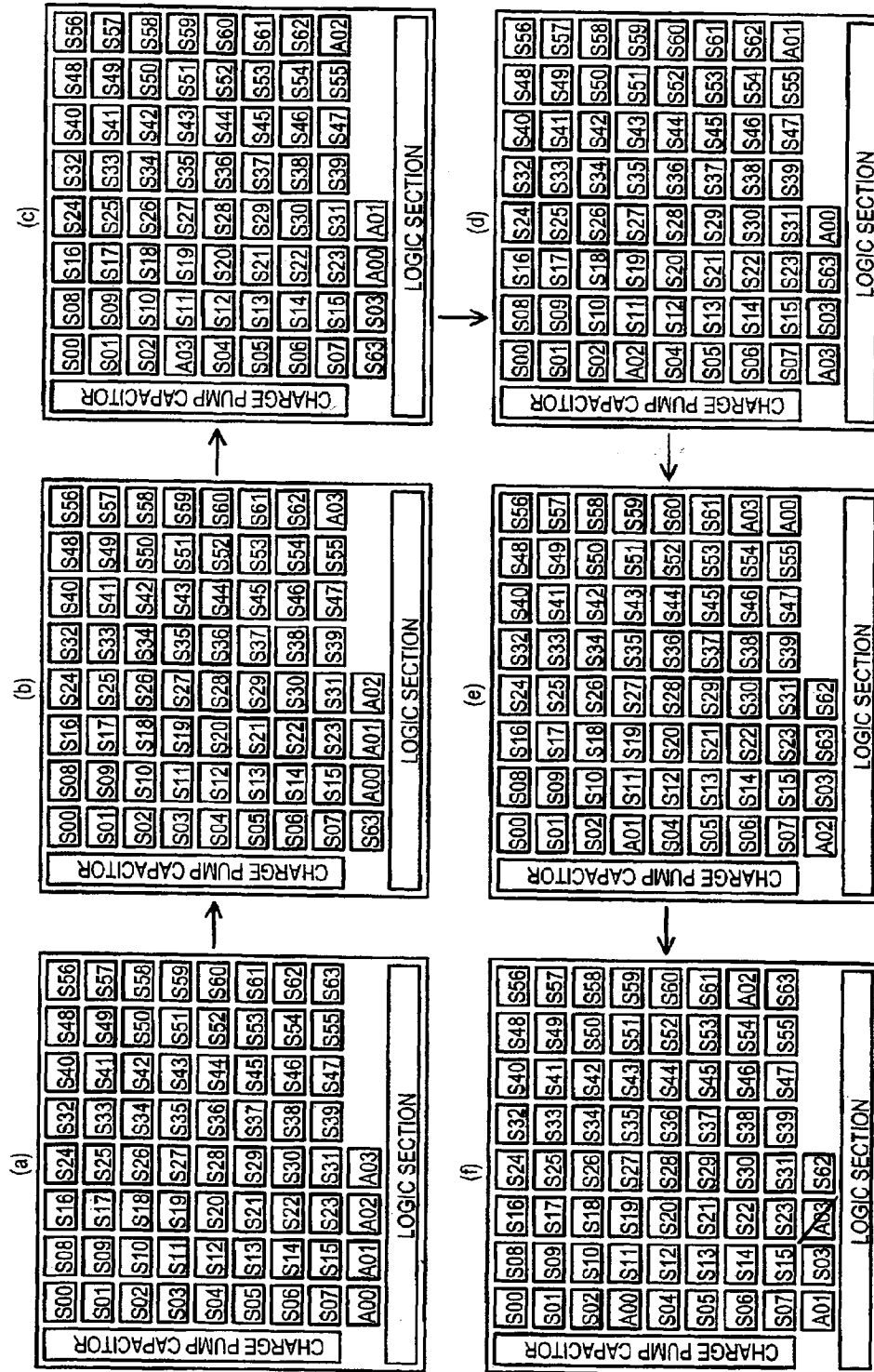


FIG. 6

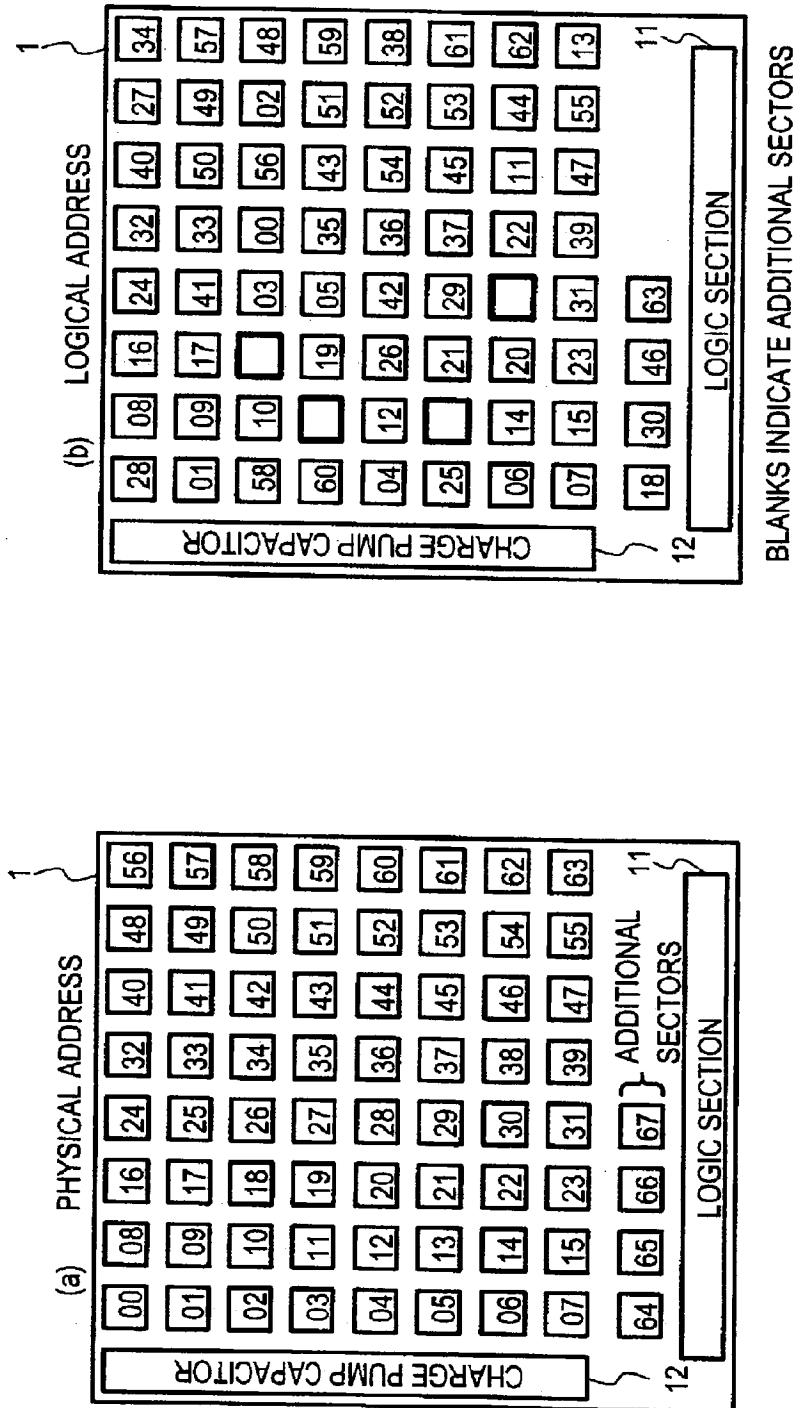
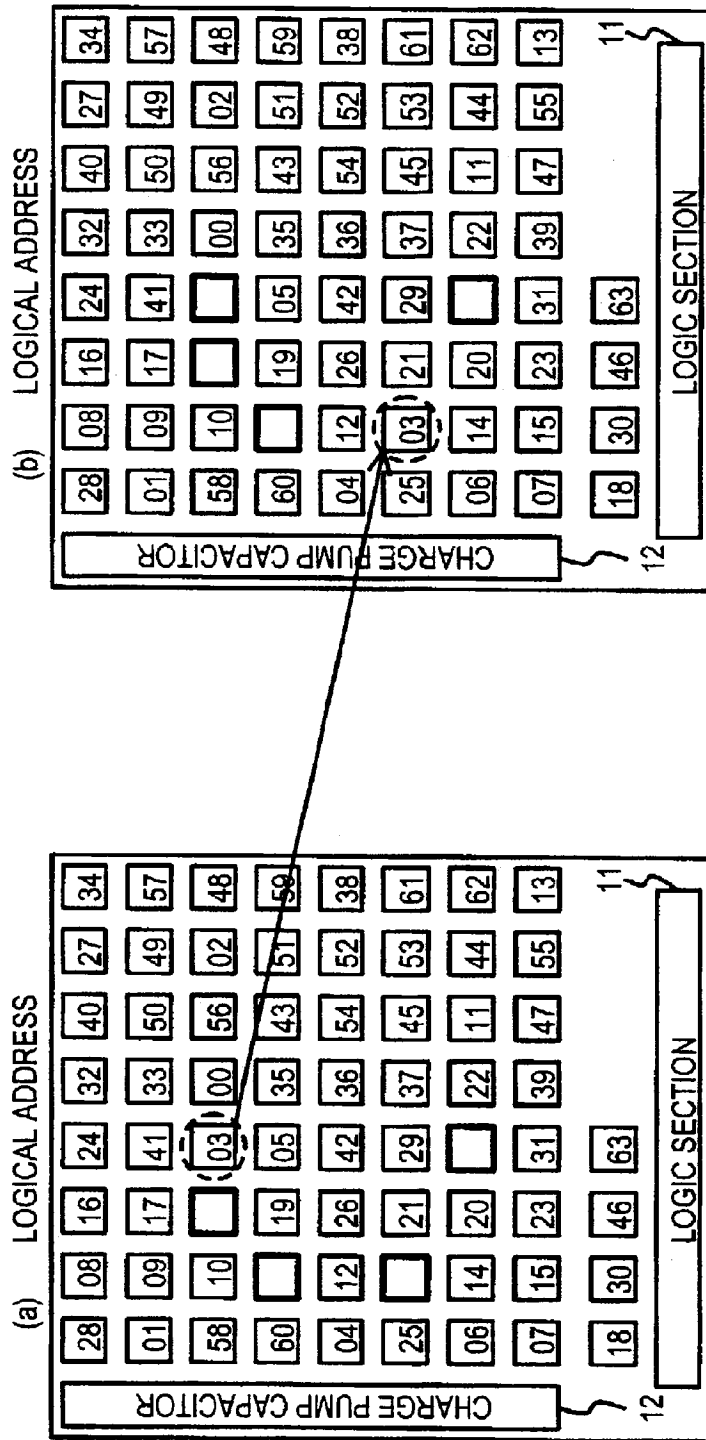


FIG. 7



CASE OF REWRITING LOGICAL SECTOR NUMBER 03

FIG. 8

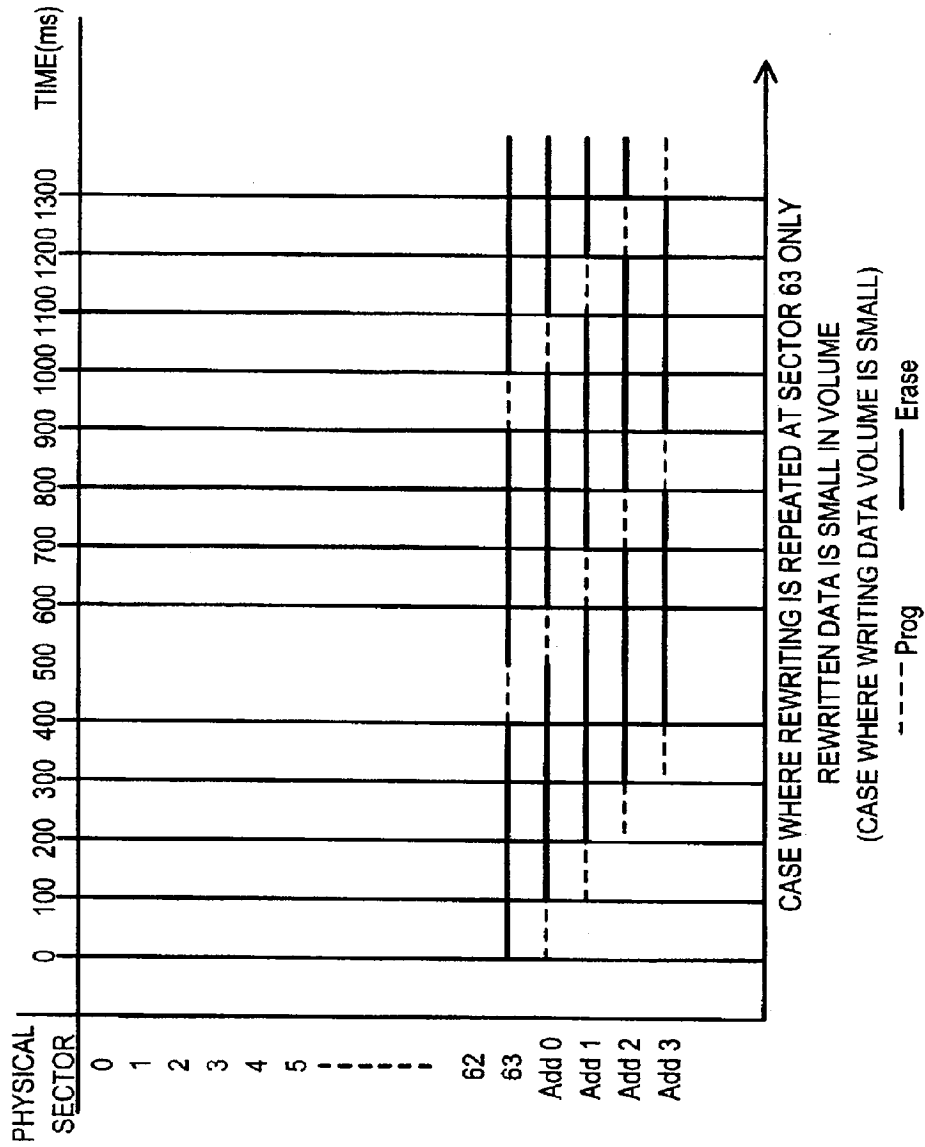


FIG. 9

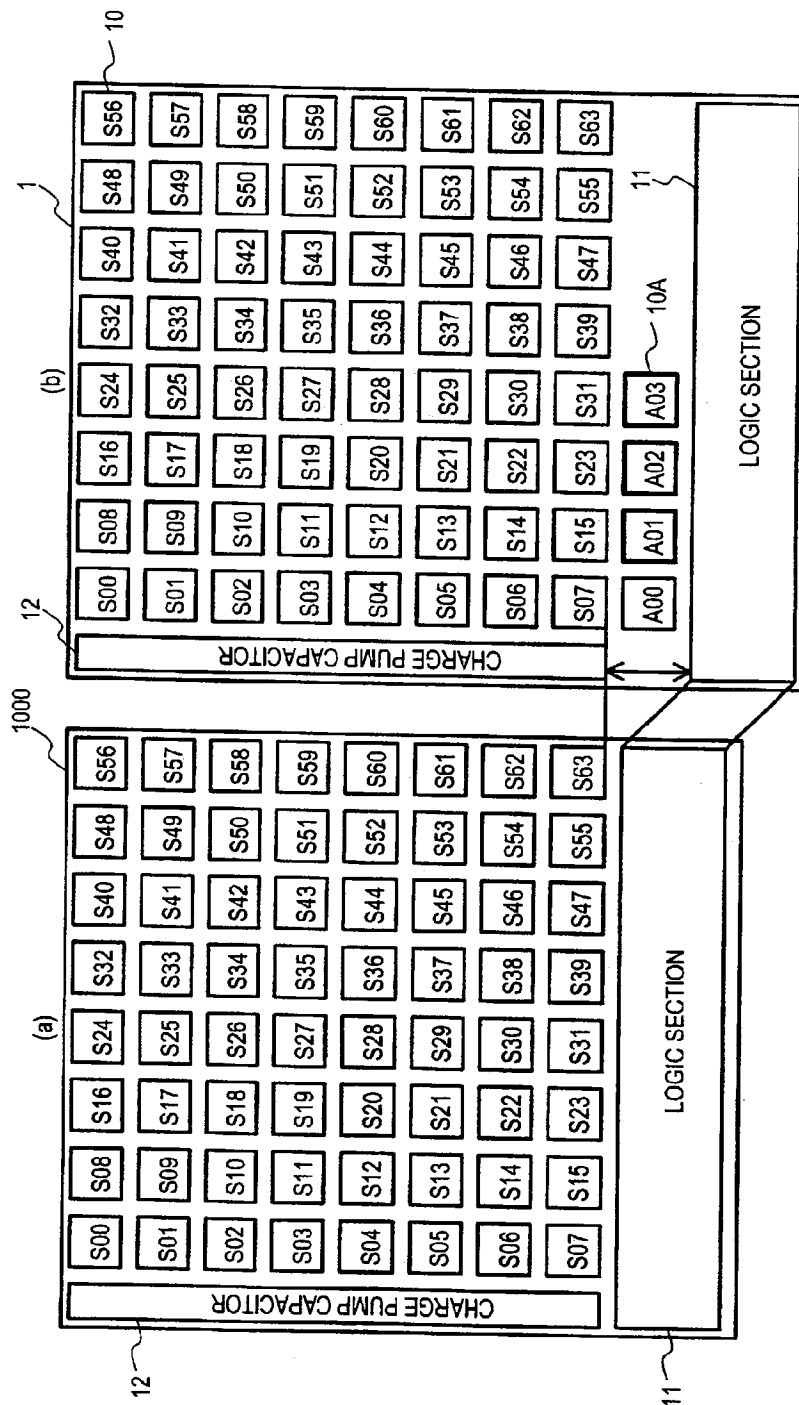


FIG. 10



PHYSICAL SECTOR NO.	LOGICAL SECTOR NO.							
	ERASE/WRITE 1	2	3	4	5	6	7	8
0	0	0	0	0	0	0	0	0
1	1	1	1	1	1	1	1	1
2	2	2	2	2	2	2	2	2
3	3	3	3	3	3	3	3	3
4	4	4	4	4	4	4	4	4
5	5	5	5	5	5	5	5	5
6	6	6	6	6	6	6	6	6
7	7	7	7	7	7	7	7	7
8	8	8	8	8	8	8	8	8
9	9	9	9	9	9	9	9	9
10	10	10	10	10	10	10	10	10
11	11	11	11	11	11	11	11	11
12	12	12	12	12	12	12	12	12
57	57	57	57	57	57	57	57	57
58	58	58	58	58	58	58	58	58
59	59	59	59	59	59	59	59	59
60	60	60	60	60	60	60	60	60
61	61	61	61	61	61	61	61	61
62	62	62	62	62	62	62	62	62
63	63	63	63	63	63	63	63	63

FIG. 11 (BACKGROUND ART)

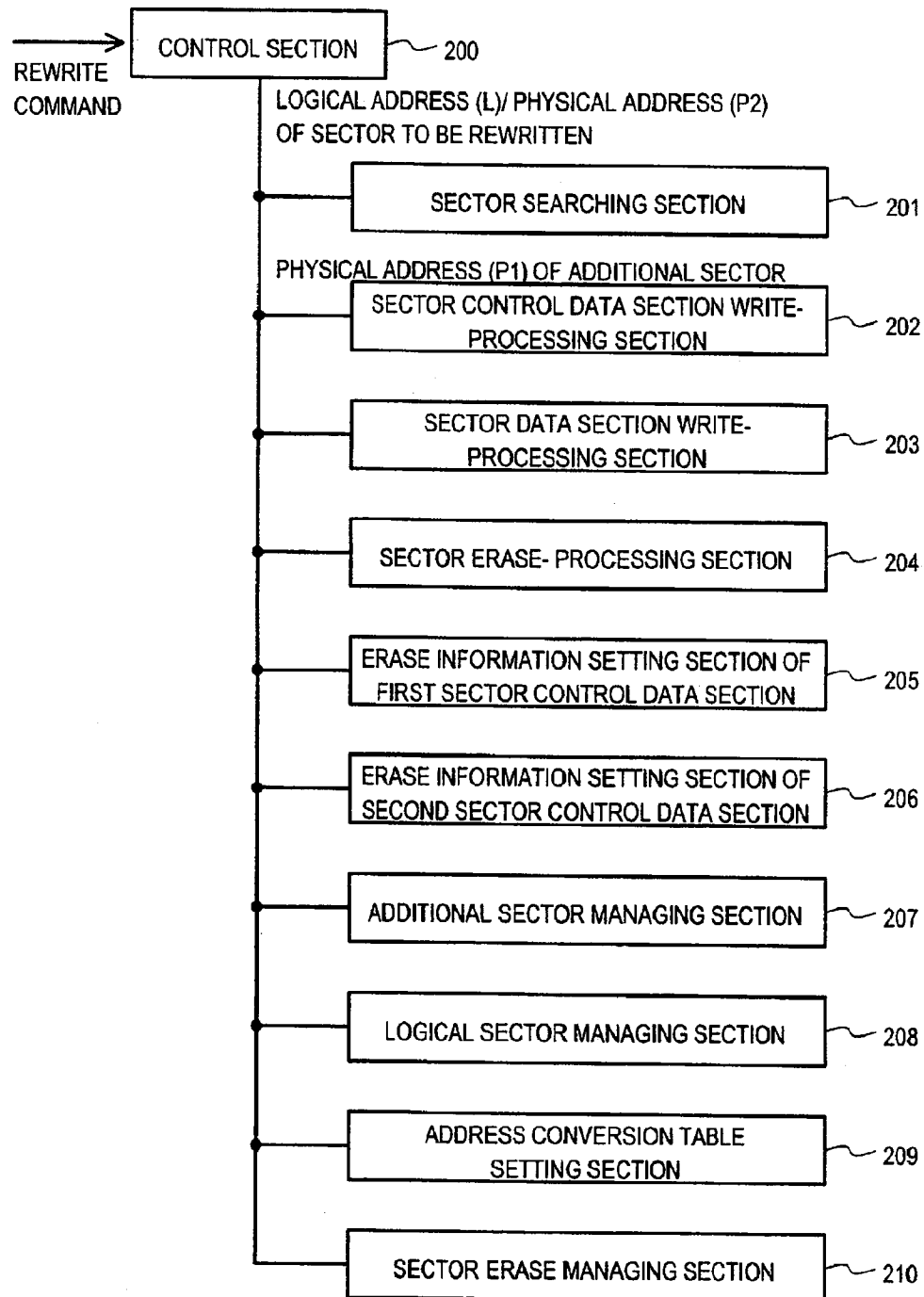


FIG. 12

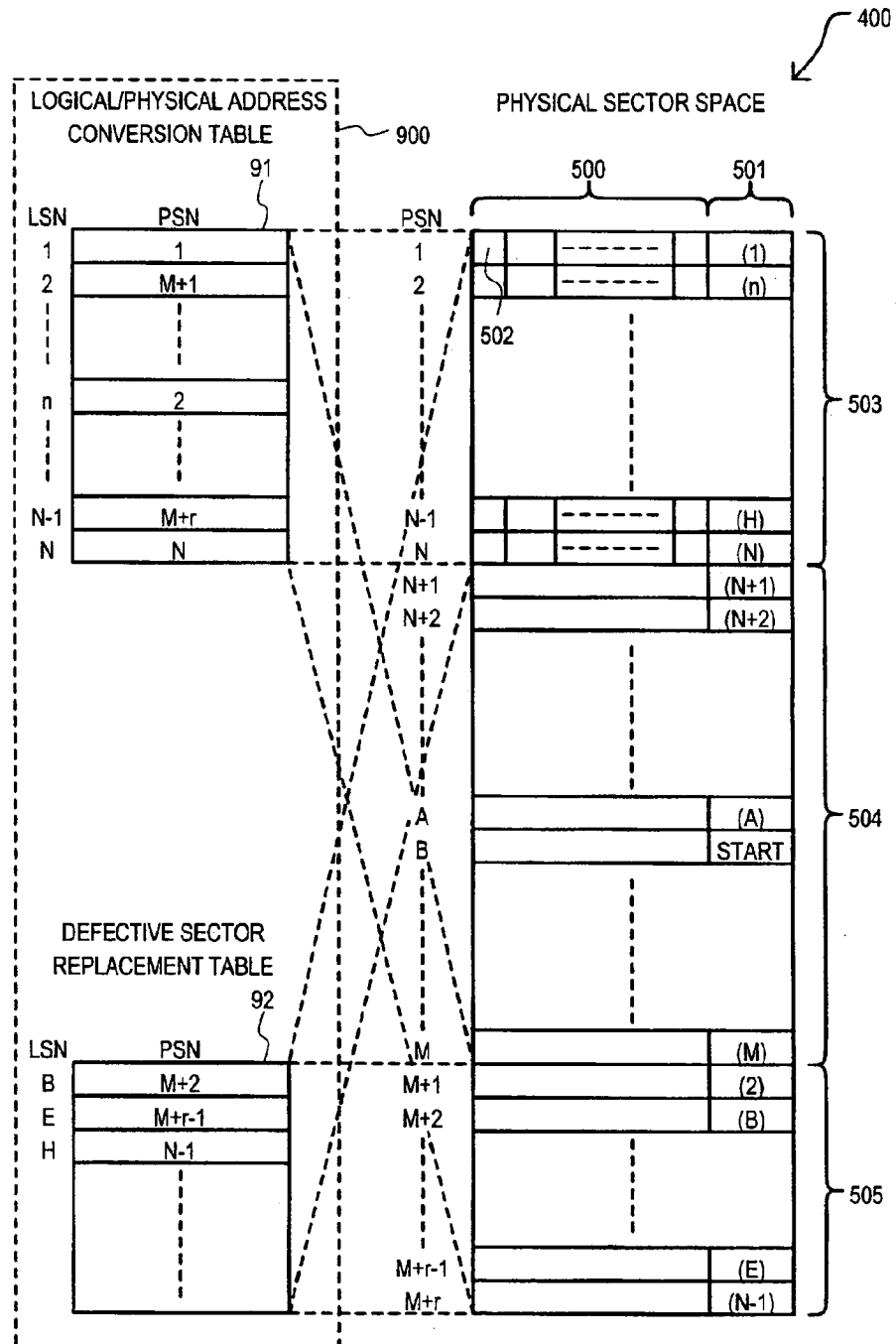


FIG. 13 (BACKGROUND ART)

# NON-VOLATILE STORAGE DEVICE AND REWRITE CONTROL METHOD THEREOF

## TECHNICAL FIELD

The present invention relates generally to a non-volatile storage device, and more particularly to a non-volatile storage device that may be capable of being erased and rewritten in blocks according to sector units and a control method for the same.

## BACKGROUND OF THE INVENTION

Due to the development of electrically erasable and programmable non-volatile storage devices (electrically erasable and programmable read only memory—EEPROM), EEPROMs, such as flash EEPROMs can be used as alternative storage devices, replacements for magnetic storage medium, or the like. Flash EEPROMs are EEPROMs that are arranged in blocks of memory cells that are simultaneously erased.

Referring now to FIG. 10(a), a floor plan of a conventional flash memory chip layout is set forth in a top plan view. In order to utilize the characteristics of non-volatility, the memory is used by repeating erase and write cycles. In order to reduce chip size and for compatibility with a hard disk system or the like, erasing is performed on a unit that includes a plurality of memory cells. The unit of memory cells erased in a block is called a sector.

The conventional flash memory chip 1000 shown in the example of FIG. 10(a) includes 64 sectors (S00–S63), a logic section 11, and a charge pump capacitor 12. Charge pump capacitor 12 serves as a booster circuit and supplies a high electric voltage (Vpp) for writing, for example. Logic section 11 includes an erase and verify circuit for erasing in sector units, a write circuit for controlling writing to a memory cell, a read circuit for controlling reading from a memory cell, and a power supply control circuit, for example.

In an erasing operation, all bits in memory cells (memory cell transistors having floating gates) that are in the same sector are erased simultaneously. The erasing operation requires sufficient time to extract electrons from the floating gates through FN (Fowler-Nordheim) tunneling, for example, plus the time for erase verification or other such steps to provide uniform erasing characteristics. Thus, compared to a reading operation, an erasing operation requires a greater amount of time.

Further, in a case where all sectors (S00–S63) are being used, when one of the sectors (S00 to S63) is erased and then rewritten, the erasing procedure and then the writing procedure will be performed in a sequential order.

FIG. 11 is a table showing an erase/write procedure. In FIG. 11, physical sector numbers (0–63) are shown in the vertical direction and logical sector address and erase/write changes are shown along the horizontal direction. In this example, the physical sector number (also referred to as a “physical sector address”, indicating the address of the sector unit in a physical sector space), and the logical sector number (also referred to as a “logical sector address”, corresponding to a logical address for accessing the sector from a host system), correspond to each other in a one-to-one fashion. In FIG. 11, in the case where the sector at logical sector number 63 (physical sector number 63 in this case) is to be rewritten, the sector at physical sector number 63 is erased and re-writing (indicated as Prog in FIG. 11, i.e. programming) is performed.

Subsequently, the sector at a logical sector number 3 (therefore, physical sector number 3) is erased and rewriting (Prog) is performed.

At erase/write 3 and 5, the sector at physical sector number 63 is erased and rewriting (Prog) is performed again.

At erase/write 6 and 7, the sector at a physical sector 2 is erased and rewriting (Prog) is performed in succession.

The amount of time required per sector for the erase routine is approximately 1 second (preprogram+erase+rewriting). In the case where every bit in the sector is to be written, the writing also requires approximately 0.5 seconds. Therefore, including the erase routine, 1.5 seconds or more are required to rewrite a sector.

Further, the writing and erasing steps of a flash memory usually uses a F-N (Fowler-Nordheim) tunneling or a CHE (channel hot electron) injection method. In a writing step, for example, a high voltage is applied to the control gate and drain of a floating gate type memory cell while the source is grounded. In this way, hot electrons generated in the vicinity of the drain are injected into the floating gate. In the erasing step, for example, F-N tunneling or the like is used to pull electrons from the floating gate to the source, drain, etc. Thus, erasing and writing are performed through a silicon oxide film (gate insulating film or tunnel oxide film) of the floating gate memory cell transistor by adding and removing electrons to and from the floating gate. These steps of writing and erasing the flash memory causes damage to the silicon oxide film. Therefore, the number of times the write/erase rewriting steps can be performed is limited on the order of 100,000 to 1,000,000 times.

In the case where data in the conventional flash memory is to be rewritten, the sector including the memory cells in which data is rewritten is erased. After erasing, the same sector is written with new data.

As shown in FIG. 11, erasing and writing (Prog) is performed in a sequential fashion in order to rewrite data in a sector. Thus, for the data rewriting, an amount of time defined as [erase time for 1 sector]+[writing time] is necessarily required.

In other words, in a conventional flash memory, writing of new data can be performed only after physically erasing data in sector units (corresponding to sector units in which new data is being written). Therefore, the erase time+writing time are needed. The amount of time required for this is much greater than the time required for reading data from a memory cell. As described above, the time required for rewriting is considered to be on the order of 1.5 seconds or longer. As shown in FIG. 11, in the case where the erasing of the physical sector number 2 is repeated consecutively (erase/write 6 and 7), access to the conventional flash memory is forced to wait for a duration of time equivalent to the time required for consecutive rewriting operations, for example.

In a case where the number and frequency of erasing/writing times at one sector gets concentrated than at another sector, the lifetime of the flash memory can be shortened. That is, in the case where a number of erase/write repetition times to the same sector exceeds the limit, the flash memory becomes unusable. When the frequency of rewriting is concentrated more in one sector than in another, the time period that the sector can be used is shortened. Further, as the flash memory is being used for a variety of purposes, the demand to increase the number of write/erase repetition times and achieve a longer lifetime is growing.

Japanese Patent Application Laid Open No. Hei 9-81332 (JPA '332) discloses a conventional flash disk card that can effectively use a flash memory for a longer period of time.

3

Referring now to FIG. 13, a diagram of the configuration of a conventional flash disk card as disclosed in JPA '332 is set forth. Conventional flash disk card includes a flash memory 400 composed of M sectors, or M sectors and r redundant sectors and a logical/physical address conversion table 91. Logical/physical address conversion table 91 outputs a physical sector number 1 through N, or 1 through N and M+1 through M+r, in response to input of a logical sector number 1 through N, which is less than M. Conventional disk card of JPA '332 also includes a means for erasing data at a physical sector number defined by table 91, writing data to be updated into an unused sector or a sector where data is already erased, and changing the physical sector number which the table 91 outputs in response to the logical number L to the number of the sector that the data to be updated was written into when the data in a logical sector number L that is equal to or less than N is to be updated. Conventional disk card of JPA '332 also includes reading means for reading out the physical sector number determined by the table in a case where the inputted logical sector number L is less than N, and reading out the data at a physical sector number L in a case where the number L is greater than N. Each sector has an area into which is written information indicating whether there is a problem or not (problem/normal). A RAM 900 stores and manages a defective sector replacement table 92. When there is a problem in a sector and the physical address and logical address are not converted, the sector is replaced with the redundant sector.

In FIG. 13, a 512-byte sector data area 500 stores the data of the sector (512 bytes), which is the data accessing unit in the hard disk system. A 16-byte sector management data area 501 stores the logical sector number (LSN) of that sector, ECC (error correction codes) data of the data in that sector, and data of flag information indicating the validity of that sector, for example. Memory space of the flash memory 400 is composed of a first area 503, a second area 504, and a third area 505. The first area 503 is an area composed of sectors which are frequently rewritten by a host system (not shown in FIG. 13). The first area 503 is composed of sectors having physical sector numbers 1 through N. The physical sector number to be accessed by the host system is determined based on the logical physical address conversion table 91 stored in the RAM 900. The second area 504 is an area for storing file data. The second area 504 is composed of sectors at the physical sector number N+1 through M. The physical sector number, which the host system accesses, is the same as the logical sector number. The third area 505 is a redundancy area and composed of sectors at physical sector numbers M+1 through M+r. In the case where a defect is generated in the sector having the logical sector number L, the management area of that sector is written with data indicating invalidity, and one of the r redundant sectors is written with data. Also, the redundant sector that the data was written into as logical sector number L is stored in the defective sector replacement table 92. However, in the conventional flash card disk of JPA '332, the address conversion table for converting the logical sector number to the physical sector number is provided in a RAM. As a result, in the case where a power break occurs, the address conversion information in the address conversion table is lost. JPA '332 lacks an awareness of the problem of how to improve sector erase speed.

In view of the above discussion, it would be desirable to provide a non-volatile storage device and a control method for the same in which apparent rewriting time may be significantly reduced in a non-volatile storage device having a flash memory or a flash memory chip. It would also be

4

desirable to provide a non-volatile storage device and a control method for the same in which frequency of usage may be balanced among sectors. It would also be desirable to provide a non-volatile storage device which may have an increased lifetime.

#### SUMMARY OF THE INVENTION

According to the present embodiments, a non-volatile storage device, such as a flash memory, may include a plurality of sectors and additional sectors. Sectors may include a physical sector number. A logical sector number may be assigned to a sector. Additional sectors may not be assigned a logical sector number. When an erase/write command is executed for a logical sector address, an additional sector may be selected to have the new or updated data written into and may be assigned the logical sector number. The additional sector assigned the logical sector number may then have the new or updated data written into while the physical sector number previously assigned the logical address is being erased. In this way, an apparent erase time may be reduced. The newly erased sector may be a new additional sector. Each sector may include a control data section and a data section. The control data section may store data for controlling erasing and writing.

According to one aspect of the embodiments, a non-volatile storage device may include a plurality of sectors. The plurality of sectors may be divided into logical sectors and at least one additional sector. Each sector may be erasable as a unit. When data stored in a first one of the logical sectors is updated, the updated data may be written into a first one of the at least one additional sector and the first one of the logical sectors may be erased. The first one of the at least one additional sector may become the first one of the logical sectors and the first one of the logical sectors that is erased may become one of the at least one additional sector.

According to another aspect of the embodiments, each sector may be identified with an individual physical sector address. Each logical sector may be identified with an individual logical sector address. The updated data may be written into the first one of the at least one additional sector while the first one of the logical sectors is being erased.

According to another aspect of the embodiments, the non-volatile storage device may include an address conversion section. The address conversion section may provide the individual physical sector address in response to receiving the individual logical sector address.

According to another aspect of the embodiments, each sector may include a data storing section and a control data storing section. The logical sector address for each logical sector may be stored in the control data storing section. An address conversion section may include a random access memory storing an address conversion table.

According to another aspect of the embodiments, the non-volatile storage device may include a control section. The control section may read the logical sector address in the control data storage section of each logical sector in response to a power up initialization.

According to another aspect of the embodiments, the non-volatile storage device may include a plurality of additional sectors. Each additional sector may be associated with an erase value. The erase value may indicate a number of times the additional sector has been erased. The first one of additional sectors may be selected according to the erase value having a lowest value among the additional sectors.

According to another aspect of the embodiments, an erase value for each sector may be stored in the control data storing section of the sector.

According to another aspect of the embodiments, each sector may be associated with a usability flag indicating whether or not the sector is usable.

According to another aspect of the embodiments, each sector may include a data storing section and a control data storing section. The non-volatile storage device may include a control section, writing into the control data storing section of the first one of the at least one additional sector, an individual logic sector address and a physical sector address of the first one of the logical sectors being erased.

According to another aspect of the embodiments, a non-volatile storage device may include a flash memory. The flash memory may include a plurality of sectors divided into logical sectors and at least one additional sector. Each sector may be associated with an individual physical sector address. Each logical sector may be identifiable as a logical sector by being assigned an individual logical sector address. Each sector may include a data storage section and a control data storage section. The control section of each logical sector may store the assigned individual logical sector address. When data stored in the logical sector identified with a first individual logical address is updated, the updated data may be written into a first one of the at least one additional sector and the logical sector identified with the first individual logical address may be erased. The first one of the at least one additional sector may become identified with the first individual logical address and the logical sector that is erased becomes one of the at least one additional sector.

According to another aspect of the embodiments, the control data storage section of each logical sector may store the individual physical address of the sector that was previously assigned to the individual logical sector address currently assigned to the logical sector.

According to another aspect of the embodiments, the control data storage section of each logical sector may store a first erase value. The first erase value may indicate the number of erasures of the sector having the individual physical address that was previously assigned to the individual logical sector address currently assigned to the logical sector. The control data storage section of each logical sector may also store a first erase flag. The first erase flag may indicate whether the sector having the individual physical address that was previously assigned to the individual logical sector address currently assigned to the logical sector has been erased.

According to another aspect of the embodiments, the control data storage section of each sector may store a second erase value indicating the number of erasures of the sector itself.

According to another aspect of the embodiments, the control data storage section of each sector may store a usability flag. The usability flag may indicate the usability of the sector itself.

According to another aspect of the embodiments, the control data storage section of each sector may store a second erase flag indicating whether or not the sector itself has been erased.

According to another aspect of the embodiments, the non-volatile storage device may include an address conversion section. The address conversion section may provide the individual physical sector address in response to receiving the individual logical sector address.

According to another aspect of the embodiments, a non-volatile storage device may include a plurality of sectors divided into logical sectors and at least one additional sector. Each sector may be erasable as a unit and may be associated with an individual physical sector address. Each logical sector may be identifiable as a logical sector by being assigned an individual logical sector address. Each sector may include a data storing section and a control data storing section. A rewrite control method for the non-volatile storage device may include the steps of erasing the sector assigned to a first logical sector address when data in the sector assigned to the first logical sector address is to be updated, writing the updated data into a first one of the at least one additional sector while the sector assigned to the first logical sector address is being erased, assigning the first logical sector address to the first one of the at least one additional sector to convert the first one of the at least one additional sector to one of the plurality of logical sectors, and managing the erased sector as a new additional sector.

According to another aspect of the embodiments, the non-volatile storage device may include a plurality of additional sectors. Writing the updated data may include selecting the first one of the plurality of additional sectors based on a least number of erase times.

According to another aspect of the embodiments, the control data storage section of each logical sector may include the assigned individual logical sector address, the individual physical sector address of the sector previously assigned the individual logical sector address, an erase flag indicating whether or not the erasure of the sector previously assigned the individual logical sector address has been completed, and an erase values indicating the number of times the sector previously assigned the individual logical sector address has been erased.

According to another aspect of the embodiments, the control data storage section of each sector may include an erase flag indicating whether or not the erasure of the sector has been completed and an erase value indicating the number of times the sector has been erased.

According to another aspect of the embodiments, a rewrite control method may include the steps of address conversion to provide the individual physical sector address in response to receiving the individual logical sector address and updating an address conversion table to assign the first logical sector address to the first one of the at least one additional sector.

According to another aspect of the embodiments, a random access memory may store the address conversion table. A control section may update the address conversion table in response to a power up initialization.

According to another aspect of the embodiments, a rewrite control method may include the step of setting a usability flag of the sector assigned to the first logical sector address to unusable if erasing the sector assigned to the first logical sector address fails.

According to another aspect of the embodiments, writing the updated data into the first one of the at least one additional sector may include writing the first logical sector address into the control data storage section of the first one of the at least one additional sector and writing the physical sector address of the sector being erased that is assigned to the first logical sector address into the control data storage section of the first one of the at least one additional sector.

According to another aspect of the embodiments, writing the updated data into the first one of the at least one additional sector may include writing an erase value indicating how many times the sector assigned to the first logical

sector address and being erased has been erased into the control data storage section of the first one of the at least one additional sector.

According to another aspect of the embodiments, a rewrite control method may include the step of updating an erase value in the control data storage section of the erased sector to indicate the number of times the erased sector has been erased.

According to another aspect of the embodiments, the rewrite control method may include the step of setting an erase flag in the control data storage section of the erased sector to indicate erased.

#### BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a diagram illustrating a non-volatile storage device according to an embodiment.

FIG. 2 is a diagram showing a configuration of a system in which a non-volatile storage device is applied according to an embodiment.

FIG. 3 is a flowchart illustrating an operation of an embodiment.

FIG. 4 is a timing diagram illustrating sector rewriting operations according to an embodiment.

FIG. 5 is a diagram illustrating various activities performed on and logical sector number mapped to physical sector numbers according to an embodiment.

FIGS. 6(a)–(f) are plan diagrams showing the erase/writing operations shown in FIG. 5 according to an embodiment.

FIGS. 7(a) and 7(b) are diagrams illustrating a correspondence between a physical address and logical address of sectors according to an embodiment.

FIGS. 8(a) and 8(b) are diagrams illustrating the logical address of a sector changing before and after a rewriting step according to an embodiment.

FIG. 9 is a timing diagram illustrating an example of an operation of an embodiment.

FIG. 10(a) is a floor plan of a conventional flash memory chip layout.

FIG. 10(b) is a floor plan of a non-volatile storage device layout according to an embodiment.

FIG. 11 is a table showing an erase/write procedure.

FIG. 12 is a block schematic diagram illustrating a construction of a control device according to an embodiment.

FIG. 13 is a diagram of the configuration of a conventional flash disk card.

#### DETAILED DESCRIPTION OF THE EMBODIMENTS

Various embodiments of the present invention will now be described in detail with reference to a number of drawings.

Referring now to FIG. 10(b), a floor plan of a non-volatile storage device layout according to an embodiment is set forth. The non-volatile storage device 1 of FIG. 10(b) may include a flash memory. A Flash memory may include M sectors 10 and 10A. Sectors 10 may be specified by a logical address (a logical address defined by sector units may also be referred to as a "logical sector address" and may correspond to a "logical sector number"). There may be N sectors 10. The remaining M-N sectors may serve as additional sectors 10A. Non-volatile storage device 1 may also include a charge pump capacitor 12 and a logic section 11. Charge pump capacitor 12 may include a booster circuit for generating a high voltage V<sub>pp</sub> at a time of writing or erasing, for

example. Logic section 11 may include a circuit performing various controls for operations such as erasing, writing, reading, and power supply control, as just a few examples.

Referring now to FIG. 7, a diagram illustrating a correspondence between a physical address and logical address of sectors according to an embodiment is set forth.

FIG. 7(a) is a diagram showing a physical sector number (physical address) for each sector. The physical sector number may be equivalent to a physical sector address of each sector unit. As shown in FIG. 7(a), non-volatile storage device 1 may include a total of 68 sectors (00–67). Sectors (00–67) may include 64 sectors having physical sector numbers (00–63) and 4 "additional" sectors having physical sector numbers (64–67). They total physical address space of non-volatile storage device 1 may be 68 times the memory capacity of 1 sector.

A brief explanation of the physical address will now be given. When a sector of the non-volatile storage device 1, such as a flash memory, has 64K bytes (512 Kbits), the physical sector of, for example physical sector number 02 may be an address that is 64K added to the physical address of physical sector number 01. On the other hand, the logical sector number may correspond to a bit field of a portion of an access address provided by, for example, a controller or processor in a host system (not shown in FIG. 7) as an address signal or a command. The logical sector number may be designated by bits in an address field (for example, upper bits of an address) designating a sector in non-volatile storage device 1. An address of a memory cell or group of memory cells within the sector having the logical sector number may be designated by lower bits in the address field.

FIG. 7(b) is a diagram showing a logical sector number (logical address) assigned to each sector. In the example in FIG. 7(b), physical sector numbers (00, 01, 02, and 03) of FIG. 7(a) may correspond to logical sector numbers (28, 01, 58, and 60), for example. Additional physical sectors having physical sector numbers (64, 65, 66, and 67) may correspond to logical sector numbers (18, 30, 46, and 63), for example. In the example shown in FIG. 7(b), physical sector numbers (11, 13, 18, and 30) may be additional sectors. These additional sectors are not allotted logical sector numbers and are indicated by blanks in the diagrams. Note that, in the example shown in FIG. 7(b), the four sectors having physical sector numbers (64, 65, 66, and 67) that were indicated as additional physical sectors have been assigned logical sector numbers (18, 30, 46, and 63) and may thus be treated as logical sectors and not additional sectors.

Assume a physical sector (P) is assigned to a logical sector (L) and a physical sector (Q) is erased and unused. In accordance with the embodiment, when data in a sector having logical sector number (L) is updated, a sector having physical sector (P) assigned to a logical sector (L) may be erased, and data which is to be written into the sector having a logical sector number (L) may be written into a sector (physical sector number (Q)) from among additional sectors which have been erased and are still unused, and the logical sector number (L) may be assigned to the sector having the physical address number (Q). In this way, the apparent erase time for a sector may be reduced.

FIG. 8 is a diagram illustrating the logical address of a sector changing before and after a rewriting step according to an embodiment.

Referring now to FIG. 8(a), when data of a logical sector number 03 (physical sector number 26) is rewritten, physical sector number 26 assigned to logical sector number 03 may be erased. However, by including additional sectors, an additional sector may be used to receive the written/rewrit-

ten data. In the example illustrated in FIG. 8, physical sector number 13 (immediately to the right of logical sector number 25) may be assigned as logical sector number 03. In this way, physical sector number 13 may have the data written into and may then be assigned to logical sector number 03 as illustrated in FIG. 8(b).

In accordance with the embodiment, by performing erasing of a sector while writing to an "additional" sector in parallel, the apparent erase time for a sector may be reduced. In this case, the apparent erase time for a sector may be reduced to  $1/(\text{number of additional sectors})$  of an actual sector erase time for a worst case in which consecutive erase/writes occur to more than the number of additional sectors. For a smaller number of consecutive erases/writes, an apparent erase time can be essentially zero.

Not that, the more times a flash memory is rewritten, the more likely defective sectors can occur. These defective sectors may be unusable.

According to an embodiment, when a bad/defective sector is generated, a usable/unusable flag may be turned on. A usable/unusable flag may be in a control data section within the sector and may manage erasing and rewriting. When a usable/unusable flag is turned on, the corresponding sector may not be used as an additional sector. By decreasing the number of additional sectors, generation of bad sectors due to repeated rewriting may be more likely.

Further, in accordance with the embodiments, when data of a sector (original sector) that is being used (i.e., to which a logical sector address has been assigned) is updated, data may be written into one of the additional sectors. The original sector may then become an additional sector (new additional sector) and a control may be performed to treat the original sector as empty. In this case, the physical address of the original sector may be registered in a table. Then in a subsequent data updating sequence, the new additional sector may be written with the updated data (re-writing), and may be assigned a logical sector address. A control may be executed to delete the physical address of the new additional sector from a table may be executed. A construction in accordance with the embodiments may equally distribute a frequency of sector usage among the plurality of sectors. In this way, writing/programming times may be minimized and the lifetime of a non-volatile storage device such as a flash memory may be increased.

In accordance with the embodiments, each sector (for example, sector 10 in FIG. 1) may include a data section (for example, data section 102 in FIG. 1) and a control data section (for example, control data section 101 in FIG. 1). The data section may store data and the control section may store data to control the erasing/rewriting. The control data section may include a logical address (for example, item 1 in control data section 101 in FIG. 1), a physical address of address of the immediate preceding sector assigned to the logical address (for example, item 2 in control data section 101 in FIG. 1), and an erase flag (item 4 in FIG. 1). When data in a sector is to be rewritten, the logical address that is assigned to that sector (logical sector address) and a physical address of address of the immediate preceding sector assigned to the logical address may be written to the control data section. When the erasing of the sector that the logical sector address was assigned to is complete, the erase flag in the control data section may be set or turned on.

The control data section may also include control data indicating the number of write/erase times assigned to the physical sector address (for example, item 3 in control data section 101 of FIG. 1). When the data in a sector is rewritten, within the control data section, the logical address assigned

to that sector (logical sector address), the physical address of an immediately preceding sector assigned to the logical address, and a number of write/erase times assigned to the physical sector address may be written to or updated in the control data section of the sector that is to be newly written to. When the erasing of the sector that the logical sector address was previously assigned to is complete, the erase flag in the control data section may be set or turned on. Further, an erase flag (for example, item 7 in control data section 101 of FIG. 1) in the control data section of the erased sector may be turned on or set. Additionally, in the erased sector, data indicating number of erase/write procedures (for example, item 5 in control data section 101 of FIG. 1) that have been executed in the erased sector may be updated or written.

Power supply can be turned off or disrupted while one or some of the sectors are in the process of being erased (for example, step S12 in FIG. 3). When the power supply is turned on, the erase flag (for example, item 4 in control data section 101 of FIG. 1) of each sector may be read. Then, in the case where the erase flag is not turned on or set, erasing may be started for a sector at a physical address (for example, item 2 in control data section 101 of FIG. 1) indicated as the immediately preceding sector assigned to a logical address which has just been rewritten or updated. The above-mentioned control may be jointly performed in a logic section 11 of a non-volatile storage device such as a flash memory and in a memory control device (for example, control device 30 of FIG. 2) in response to, for example, a host (for example host 40 in FIG. 2) by means of firmware, software, or the like.

In accordance with the embodiments, the amount of time required for erasing may be decreased and the reliability of erasing/writing of a flash memory may be improved.

An explanation will now be made of operations/effects of the embodiments.

In accordance with the embodiments, the number of sectors (erasable units) may be set to be greater than a minimum number of sectors that are theoretically necessary in accordance with the logical address space (i.e., the physical address space may be larger than the logical address space). When a request is made to reprogram data (update or rewrite data) in a selected sector (indicated by a logical address), the sector may be erased and an additional sector (already erased sector) may be assigned to the logical address in which data may be written. At this time, a control data section in the additional sector that was assigned to the logical address may be updated. As a result, the amount of time required for erasing and updating a sector (logical address) may be accelerated. This may be done by reassigning a logical address to an additional sector that has already been erased, thus externally, it may appear that the erase time has been reduced or eliminated.

Also, in accordance with the embodiments, when a sector becomes marginal or defective due to repeated erasing/writing, this sector may not have a logical sector address assigned to it. Thus, the occurrence of problems due to repeated erasing/writing may be reduced.

In accordance with the embodiments, an address conversion table may be stored in a RAM (random access memory). The address conversion table may convert a logical address to a physical address. When the power supply is turned on, at a reset, initialization, or the like, the information in the control data section in each sector of the non-volatile memory (such as a flash memory) may be read and the mapping of a logical address to a physical address may be configured. Thus, even if address conversion infor-



mation is lost due to, for example a power supply interruption, when the power supply turns back on, for example, the address conversion table may be easily regenerated. As a result, the reliability of the device may be improved.

A more detailed explanation of various embodiments of the present invention will now be described with reference to a number of drawings.

Referring now to FIG. 1, a diagram illustrating a non-volatile storage device according to an embodiment is set forth.

A non-volatile storage device 1 may include charge pump capacitor 12, a logic section 11 and a memory cell array section. Memory cell array section may be divided into sectors 10. Each sector 10 may include, for example, 64K-byte (kilobyte) memory cells. Charge pump capacitor 12 may serve as a booster circuit. Logic section 11 may control operations and addresses including physical/logical address mapping. Non-volatile storage device 1 may be a flash memory device in which erasing may be performed in units of a sector 10.

For example, in the case of a 32-Mbit (megabit) flash memory device, each device may be provided with 64 64-Kbyte sectors 10 (for example, see FIG. 10(b)). According to the embodiments, a plurality of sectors may be further provided as 65 Kbyte additional sectors 10A. In FIG. 10(b), four sectors (A00-A03) may be additional sectors 10A.

Referring once again to FIG. 1, each sector 10 may include a control data section 101 and a data section 102. Control data section 101 may store information/data for controlling erasing/rewriting. Data section 102 may store data, which may be used, for example by a processor or the like.

Control data section 101 provided in each sector may store address conversion information and information of the number of erase and rewrite times have been executed on a sector. Additionally, control data section 101 may store flags indicating an erase completion on a sector and a flag indicating usability/non-usability.

More specifically, as illustrated in FIG. 1, control data section 101 may include the following control data:

- Item 1, a logical address assigned to that sector 10 (logical sector address).
- Item 2, a physical address of an immediately preceding sector assigned to the logical address.
- Item 3, the number of write/erase times of the sector indicated by the physical address of item 2.
- Item 4, an erase flag showing whether or not erasing at the sector indicated by the physical address of item 2 is complete.
- Item 5, a number of write/erase times of the sector (self-sector) 10.
- Item 6, the usability/non-usability of the sector (self-sector) 10.
- Item 7, an erase flag showing whether or not erasing at the sector (self-sector) 10 is complete.

Referring now to FIG. 2, a diagram showing a configuration of a system in which a non-volatile storage device is applied according to an embodiment.

In the case of, for example a 32-Mbit flash memory devices, each device may be provided with 64 64-Kbyte sectors (10<sub>1</sub> to 10<sub>64</sub>) (physical sector numbers 0 to 63) and may be further provided with 4 64-Kbyte additional sectors (10A<sub>1</sub> to 10A<sub>4</sub>). In the example shown in FIG. 2, the 4 additional sectors (10A<sub>1</sub> to 10A<sub>4</sub>) may have physical sector numbers of 64 to 67, respectively.

An access address indicated in a command or an address signal from a central processing unit (CPU) or other such

host 40 may be provided to a control device 30 as a logical address. Control device 30 may reference an address conversion table 20 to convert the logical address to a physical address. Address conversion table 20 may be stored in a RAM, or the like. In this way, access to a non-volatile storage device such as a flash memory may be performed. Address conversion table 20 may store values in a table format indicating a correspondence between logical addresses and physical addresses. On initialization caused by applying a power supply, or the like, correspondence between logical addresses (logical sector number) and physical addresses (physical sector number) may be stored. For example, 6 bits of an address signal may be used to indicate a logical address for accessing a sector because any of 64 sectors may be accessed. At the time of an initialization, for example, when a power supply is turned on or the like, a physical sector number of an additional sector may be stored in an additional sector management list 50. Additional sector management list 50 may be stored in a RAM, a register group, or the like. When a sector is rewritten, for example in an update or the like, the physical address of the sector that is erased may be provided as a new additional sector and registered in additional sector management list 50.

When, for example, a non-volatile storage device according to the embodiments is shipped out, it may be assumed that there is a one-to-one correspondence between the logical sector number 0 and the physical sector number 0, the logical sector number 1, and the physical sector number 1, etc., all the way to the logical sector number 63 and the physical sector number 63, as illustrated in address conversion table 20 of FIG. 2. Further, in additional sector management list 50, physical sector numbers (64 to 67) may respectively be registered as first through fourth additional sectors. Subsequently, for example, when logical sector number 0 is rewritten, physical sector number 0 may be erased and may become an additional sector (i.e., physical sector number 0 is registered in additional sector management list 50 as an additional sector), and the additional sector at physical sector number 64 may be assigned as logical sector number 0 (i.e., logical sector number 64 is erased from additional sector management list 50 and in address conversion table 20, the physical sector number corresponding to logical sector number 0 may become 64).

When the power supply is turned on, control device 30 may receive an instruction from host 40 and may read out a logical address in the control data section of each sector (10<sub>1</sub> to 10<sub>64</sub> and 10A<sub>1</sub> to 10A<sub>4</sub>). Control device 30 may then prepare the contents of address conversion table 20 using physical addresses of the sectors. Control device 30 may set a physical address (physical address number) of additional sectors into additional sector management list 60. At this time, control device 30 may register, as an additional sector in additional sector management list 50, the physical sector number of a sector for which an erase flag (item 7 in control data section 101 in FIG. 1) indicates erasure has been completed and for which a useable/non-useable flag (item 6 in control data section 101 in FIG. 1) indicates usability. This additional sector may be selected from among the sectors which have not been assigned a logical address. Then, when sector rewriting changes the correspondence between the logical address and physical address of a sector, host 40 and control device 30 may perform a control operation whereby content of address conversion table 20 and additional sector management list 50 may be updated. Additionally in the above-mentioned control operation, the

13

content of control data section 101 of the sector that was subject to the rewriting may be updated.

Referring now to FIG. 3, a flowchart illustrating an operation of an embodiment is set forth.

With reference to the flowchart of FIG. 3, an explanation will be made of a case of processing a request to rewrite a logical sector number "20". At this point, it is assumed logical sector number "20" is assigned to physical sector number "10".

First at step S10, a search may be made of physical sector addresses of sectors (additional sectors) not assigned to a logical sector number (i.e., is still unused) and is usable and erased. At this time, the sector among the additional sectors that has been erased/written the least number of times may be selected. In the present example, the sector having a physical sector number "25" is selected. Then, the physical sector number "25" may be erased from the additional sector management list 50 (FIG. 2).

Next at step S11, information in control data section 101 (FIG. 1) of physical sector number "25" may be written. A logical address number "20" may be written into item 1 as a logical address. A physical address number "10" may be written into item 2 as a physical address of an immediately preceding sector assigned to the logical address. Item 3 may be written with the number of times physical address number "10" has been erased (in accordance with item 5 in control data section 101 of physical address number "10". Erase flag (item 4) may be set in accordance with item 7 in control data section 101 of physical address number "10".

Next, at steps (S12 and S13), respectively, the sector having a physical sector number "10" may be erased and updated data may be written into the sector having a physical sector number "25". Steps (S12 and S13) may be performed concurrently.

At step S14, an erase verify may be performed to determine if physical sector number "10" has been properly erased.

If it has been determined that physical sector number "10" has been properly erased, step 15 may be executed. In step S15, an erase flag (item 4 in control data section 101) of physical sector number "25" may be turned on or set.

If it has been determined that physical sector number "10" cannot be properly erased, step 16 may be executed. In step S16, a usable/non-usable flag (item 6 in control data section 101) of physical sector number "10" may be set as non-usable. Hereafter, physical sector number "10" may be treated as a bad or defective sector and may not be used.

Next at step S17, when the erase of physical sector number "10" is completed and verified, the number of times physical sector number "10" has been erased may be incremented by +1. This value may be written into item 3 in control data section 101 of physical sector number "25" and into item 5 in control data section 101 of physical sector number "10". Also at step S17, a usable/non-usable flag (item 6 in control data section 101) of physical sector number "10" may be set to indicate the usability of physical sector number "10". When erase has been verified to be complete, a usable/non-usable flag (item 6 in control data section 101) of physical sector number "10" may be set to usable.

Next at step S18, physical sector number "10" has been determined to be erased and usable as a new additional sector. Physical sector number "10" may then be added into additional sector management list 50 (FIG. 2) as a new additional sector.

Referring now to FIG. 12, a block schematic diagram illustrating a construction of a control device according to an

14

embodiment is set forth and given the general reference character 1200. Control device 1200 may be used as a control device 30 in FIG. 2 and may perform the control functions illustrated in FIG. 2.

Control device 1200 may include a sector searching section 201, a sector control data section write-processing section 202, a sector data section write-processing section 203, a sector erase-processing section 204, first and second sector control data section erase-information setting sections (205 and 206), an additional sector managing section 207, a logical sector managing section 208, an address conversion setting section 209, a sector erase-status managing section 210, and a control section 200. Control section may perform overall control of control device 1200.

Control section 200 may receive a command from a host (for example, host 40 in FIG. 2). In the following example, it is assumed that a logical sector address (logical address) L corresponds with a physical sector address P2. When control section receives a rewrite request (command) to reprogram the data in a sector corresponding to logical sector address L, sector searching section 201 may search among sectors that are not assigned logical sector addresses (for example, sectors having their physical sector addresses registered in additional sector management list 50 in FIG. 2 and are being managed as "additional sectors"). In this way, a sector that is usable (i.e., has an erasable/non-erasable flag at item 6 in control data section 101 indicating usable) and is already erased (erase flag at item 7 in control data section 101 is on or set) may be selected or retrieved.

When a sector (for example, physical sector address P1) is identified or found by sector searching section 201, sector control data section write-processing section 202 may read out sector information from items 5, 7, or the like in control data section 101 of the sector at physical sector address P2 corresponding to logical sector address L. Sector control data section write-processing section 202 may then write into items (1 through 4) of control data section of the sector at physical sector address P1, respectively, logical sector address L, physical sector address P2, a number of erasing/writing times so far in the history of the sector at physical sector address P2, and an erase flag indicating whether or not the erasing of the sector at physical sector address P2 is complete.

Sector data section write-processing section 203 may write the new/updated data into data section 102 (FIG. 1) of the sector at physical sector address P1. The new/updated data may be the data to be used to update the data that was stored at physical sector address P2. A configuration may also be possible in which control device 1200 (such as control device 30 in FIG. 2) may be provided with a buffer memory (not illustrated). A buffer memory may temporarily store the sector data and the data to be updated. In this way, data held in the buffer memory may be written to the data section of the sector at physical sector address P1.

After sector control data section write-processing section 202 has written the number of erasing/writing times of physical sector address P2 and the completion or non-completion of the erasing and/or other necessary information into control data section 101 (FIG. 2) of the "additional sector" at physical sector address P1, sector erase-processing section 204 may completely erase the sector at physical sector address P2.

The erasing of the sector at physical sector address P2 by sector erase-processing section 204, and the writing of new/updated data to the sector at physical sector address P1 by sector data write-processing section 203 may be per-

formed in parallel. However, the erasing of a sector may take longer than writing of data into a sector.

When the erasing of the sector at physical sector address P2 by sector erase-processing section 204 is complete, first sector control data section erase-information setting section 205 may set an erase flag (item 4) in control data section 101 (FIG. 1) at the physical sector address P1 to a value indicating erasing is complete. Also, at this time, first sector control data section erase-information setting section 205 may set an erase flag (item 7) in control data section 101 (FIG. 1) at the physical sector address P2 to a value indicating erasing is complete. The completion of erasing may be determined by an erase verify operation.

Second sector control data section erase-information setting section 206 may write into the control data section 101 (FIG. 1) at item 5 of the sector at erased physical sector address P2, a value equal to the current value incremented by +1. This may indicate the updated number of erasing/writing times of the sector at physical sector address P2. Also, at this time, second sector control data section erase-information setting section 206 may write this value into the control data section 101 (FIG. 1) at item 3 of the sector at physical sector address P1.

Second sector control data section erase-information setting section 206 may also set an usable/non-usable flag indicating the usability of physical sector address P2 into the control data section 101 (FIG. 1) at item 6 of the sector at erased physical sector address P2. In a case where, as a result of erasing by sector erase-processing section 204, the sector at physical sector address P2 was unable to be properly erased, second sector control data section erase-information setting section 206 may set the usable/non-usable flag into control data section 101 (FIG. 1) at item 6 of the sector at erased physical sector address P2 indicating non-usable.

Additional sector managing section 207 may manage additional sector management list 50 (FIG. 2). When the erasing of the sector at physical sector address P2 by sector erase-processing section 204 is complete, additional sector managing section 207 may register the physical sector address P2 in additional sector management list 50. In this way, the sector at physical sector address P2 may be listed as an erased and usable new additional sector to which a logical sector address is not currently assigned. Further, once the additional sector (in this case physical sector address P1) has been retrieved by sector searching section 201, additional sector managing section 207 may delete this physical sector address (P1, in this case) from the additional sector management list 50 (FIG. 2).

In address conversion table 20 (FIG. 2), logical sector managing section 208 may update or register with the physical sector address P1 of the sector that the data was written to. In this way, physical sector address P1 may be assigned to logical sector address L. Thereafter, when logical sector address L is indicated, host 40 (FIG. 2) may access physical sector address P1.

At a time when, for example, the system power supply is turned on, address conversion table setting section 209 may read the control data section 101 (FIG. 1) of the sectors that have been assigned logical sector addresses. In this way, address conversion table 20 (FIG. 2) may be configured with physical sector addresses being assigned to a corresponding logical sector address. Further, at a time when, for example, the system power supply is turned on, among sectors which have not been assigned a logical sector address, the additional sector management section 207 may register those sectors which are erased and usable as additional sectors into

additional sector management list 50. Additional sector management list 207 may be stored on a RAM, registers, or the like.

In the case where a power supply is interrupted, or the like, while sector erase-processing section 204 was erasing a sector, when the power supply is turned back on, sector erase-status managing section 210 may perform erasing on that sector. Note that, the functions of elements (200 to 210) shown in FIG. 12 may be dispersed across control device 30 (FIG. 2) and logic section 11 (FIG. 1) of a non-volatile storage device 1, such as a flash memory chip, or the like.

FIG. 4 is a timing diagram illustrating sector rewriting operations according to an embodiment. In FIG. 4, the vertical axis correspond to physical sector numbers (0 to 63) and the 1<sup>st</sup> through 4<sup>th</sup> additional sectors at physical sector numbers (Add0 to Add3). The horizontal axis correspond to time in milliseconds (ms). A broken line at a sector indicates a writing (Prog) period and a solid line indicates an erasing (Erase) period.

FIG. 5 is a diagram illustrating various activities performed on and logical sector number mapped to physical sector numbers according to an embodiment. The diagram of FIG. 5 may illustrate processes of the embodiment when erase/write requests are provided in the same sequence as FIG. 11 (illustrating a conventional approach). Note that initially, additional sectors have not been assigned logical sector numbers (0 to 63). In FIG. 5, in order to simply the explanation, 1<sup>st</sup> through 4<sup>th</sup> additional sectors are indicated by numbers Add1, Add2, Add3, and Add4.

FIG. 6 is a plan diagram showing the erase/writing operations shown in FIG. 5 according to an embodiment. In FIG. 6 sectors are illustrated with logical sector numbers. FIG. 6(a) to FIG. 6(f), may, respectively, correspond to erase/writing steps 1 to 6 in FIG. 5.

An explanation will now be made of, for example, sector rewriting operations in accordance with the embodiments with reference to FIGS. 4, 5, and 6. In the beginning when usage starts on non-volatile storage device 1, the logical sector number and physical sector number may match each other. It is assumed here that the amount of time to erase a sector is about 40 ms, and the number of additional sectors is 4 sectors. It is also assumed that all of sectors (0 to 63) are being used. At this time, physical sector numbers 64, 65, 66, and 67 of the 4 additional sectors may already be registered in additional sector management list 50 (FIG. 2). Note, the management of the 4 additional sectors may be performed by additional sector managing section 207 (FIG. 12) of memory control device 30 (FIG. 2) or by logic section 11 (FIG. 1) of non-volatile storage device 1, or the like.

First all 64 sectors at physical sector numbers (0 to 63), also corresponding to logical sector numbers (0 to 63) may have data written therein and are thus being used.

In the case where a rewrite (update data) request (command) to reprogram data in a sector at logical (and physical) sector number 63 is received, physical sector number 63 may be erased. Essentially simultaneously, the updated data may be written into the 1<sup>st</sup> additional sector (physical sector number 64) as illustrated in erase/write 1 step in FIG. 5. Then, the logical sector number for the sector at physical sector number 64 may become "63" (see FIG. 6(b)). During the time of writing the updated data to physical sector number 64, a logical address may not yet be registered for physical sector number 64 in address conversion table 20 (FIG. 2). Thus, the 1<sup>st</sup> additional sector may be invisible to the host 40 (FIG. 2) side. The selection of the 1<sup>st</sup> additional sector (physical sector number 64) and the writing of the updated data into 1<sup>st</sup> additional sector (physical sector num-

ber 64) may be performed by additional sector searching section 201 (FIG. 12) and sector data section writing section 203 (FIG. 12) of control device 30 (FIG. 2) which received a reprogram command. Alternatively, a configuration may also be used in which logic section 11 (FIG. 1) of flash memory performs these steps.

As shown in FIG. 5, the sector at the erased physical sector number 63 may then be changed to the 4<sup>th</sup> additional sector (additional sector number Add4) after erasure. This may also be illustrated as additional sector A03 in FIG. 6(b).

Additional sector numbers (65, 66, and 67) may become 1<sup>st</sup> through 3<sup>rd</sup> additional sectors (Add1, Add2, and Add3 in FIG. 5; A00, A01, and A02 in FIG. 6(b)). Note, the numbers Add1, Add2, Add3, and Add4 in FIG. 5 and A00 to A03 in FIG. 6, indicating 1<sup>st</sup> through 4<sup>th</sup> additional sectors, may not be logical addresses visible on the host side. Rather, these designators are used to schematically illustrate additional sectors. Management of the migration (assignment) of the sector at erased physical sector number 63 to the 4<sup>th</sup> additional sector (additional sector number Add4) may also be performed by additional sector management section 207 (FIG. 12) of control device 30 (FIG. 2) that received the sector reprogram command. This function of additional sector managing section 207 (FIG. 12) may also be implemented in logic section 11 (FIG. 11) of a non-volatile storage device, such as a flash memory, or the like. Additional sector managing section 207 (FIG. 12) of control device 30 (FIG. 2) may update (register) the 1<sup>st</sup> through 4<sup>th</sup> additional sectors (Add1 to Add4) in additional sector management list 50 (FIG. 2) over to physical sector numbers (65, 66, 67, and 63), respectively.

In FIG. 5, at erase/write step 2, an erase/write command may be received for logical sector number 3. In this case, physical sector number 3 may be erased and, essentially simultaneously, new/updated data may be written to 1<sup>st</sup> additional sector (physical sector number 65). Thus, the additional sector at physical sector number 65 may be assigned logical sector number 3. Upon erasure, physical sector number 3 may then be assigned to the 4<sup>th</sup> additional sector (Add4) (A03 in FIG. 6(c)). The sectors at physical sector numbers 66 and 67 may, respectively, become 1<sup>st</sup> and 2<sup>nd</sup> additional sectors (Add1 and Add2) and the sector at physical sector number 63 may become the 3<sup>rd</sup> additional sector (Add3). The location of 1<sup>st</sup> through 4<sup>th</sup> additional sectors may be illustrated as additional sectors (A00 to A03) in FIG. 6(c). This operation may be sequentially repeated.

Next, at erase/write step 3, a erase/write command may be received for logical sector number 63. In this case, physical sector number 64 may be erased and, essentially simultaneously, new/updated data may be written to 1<sup>st</sup> additional sector (physical sector number 66). Thus, the additional sector at physical sector number 66 may be assigned logical sector number 63. The sectors at physical sector numbers 67, 63, 3, and 64 may, respectively, become 1<sup>st</sup> through 4<sup>th</sup> additional sectors (Add1 to Add4). The location of 1<sup>st</sup> through 4<sup>th</sup> additional sectors may be illustrated as additional sectors (A00 to A03) in FIG. 6(d).

Next, at erase/write step 4, a erase/write command may be received for logical sector number 62. In this case, physical sector number 62 may be erased and, essentially simultaneously, new/updated data may be written to 1<sup>st</sup> additional sector (physical sector number 67). Thus, the additional sector at physical sector number 67 may be assigned logical sector number 62. The sectors at physical sector numbers 63, 3, 64, and 62 may, respectively, become 1<sup>st</sup> through 4<sup>th</sup> additional sectors (Add1 to Add4). The location of 1<sup>st</sup>

through 4<sup>th</sup> additional sectors may be illustrated as additional sectors (A00 to A03) in FIG. 6(e).

As illustrated in FIG. 4, a plurality of sectors may be erased essentially in parallel at one time. Assuming the erase time for physical sector number 63 is at 0 to 400 ms, the erase time for physical sector number 3 may be at 100 to 500 ms, the erase time for physical sector number 64 may be at 200 to 600 ms, and the erase time for physical sector number 62 may be at 300 to 700 ms. Note that four sectors may be being erased at times 600 to 700 ms. Also note that, the numbers inside parentheses ( ) in FIG. 4 are logical sector numbers assigned to the physical sector numbers (vertical axis) as corresponding to the assignments made at the time of erase/write steps illustrated in FIG. 5.

Referring now to FIG. 9, a timing diagram illustrating an example of an operation of an embodiment is set forth.

In the example shown in FIG. 9, consecutive erase/write steps on a logical sector number are illustrated. In this case, a logical sector number which is initially assigned to physical sector number 63 is updated in consecutive erase/rewrite steps. In a first erase/write step (at time 0), physical sector number 63 may be erased while physical sector number Add0 may be assigned to the logical sector number and may have updated data written into. At time 100 ms, the logical sector number may be updated again in an erase/write step. Thus, at time 100 ms, physical sector number Add0 may be erased while physical sector number Add1 may be assigned to the logical sector number and may have updated data written into. At time 200 ms, the logical sector number may be updated again in an erase/write step. Thus, at time 200 ms, physical sector number Add1 may be erased while physical sector number Add2 may be assigned to the logical sector number and may have updated data written into. At time 300 ms, the logical sector number may be updated again in an erase/write step. Thus, at time 300 ms, physical sector number Add2 may be erased while physical sector number Add3 may be assigned to the logical sector number and may have updated data written into. At time 400 ms, the logical sector number may be updated again in an erase/write step. Thus, at time 400 ms, physical sector number Add4 may be erased. At this time, physical sector number 63 has finished the erasure that began at time 0. Thus, physical sector number 63 may be assigned to the logical sector number and may have updated data written into.

As noted above, erasing and rewriting may be performed in parallel. In this way, five consecutive or sequential erase/write operations to the same logical sector number may be executed and may be completed in about 800 ms. By comparison, in a conventional case in which the same logical sector number (thus, same physical sector number) receives five sequential erase/write operations, the required time would be the sum of erase time (400 ms)+write time (100 ms) multiplied 5 times, totaling about 2,500 ms. As such, in accordance with the embodiments the erase/write time may be reduced to less than 1/3 of a conventional case.

As illustrated in FIG. 4, FIG. 9, etc, erasing (indicated by a solid line) may be performed on a plurality of physical sectors in parallel. Therefore, assuming an apparent erase time require per one sector is T, the actual erase time required per one sector is t, and the number of additional sectors is M, then, in the case where the number of sectors that can be erased in parallel is equal to or more than M, the fastest speed that the erase time may be reduced to is:

$$T = t/M.$$

In other words, in the embodiments where there are 4 additional sectors and the number of sectors that can be

erased in parallel is 4 or greater, the apparent erase time (to the user/controller, or the like) for one sector may be reduced down to  $400/4=100$  ms. This can be seen by referring to FIG. 9, in which a case where four consecutive erase/write commands are executed to the same logical sector number. As illustrated in FIG. 9, data may be updated in the same logical sector four times in 400 ms, eight times in 800 ms, and 12 times in 1,200 ms.

In non-volatile storage device 1, such as a flash memory, or the like, it is assumed that charge pump capacitor 12 may have a capacity sufficient to simultaneously erase 4 or more sectors (which is the electrical power required to independently erase 4 sectors in parallel). It is also assumed that logic section 11 may perform controls that may select the sectors that are being erased in parallel and the sectors that are being written to.

The conversion of the logical sector number to the physical sector number may be performed by using address conversion table 20. The content of address conversion table 20 may be configured using information stored in control data sections 101 of sectors in non-volatile storage device 1, such as a flash memory, or the like.

In accordance with an embodiment of the present invention, when data in a sector is rewritten, the data may be written into an additional sector. A logical sector number may be assigned to the additional sector and the physical sector previously assigned the logical sector number may be erased and turned into an additional sector (i.e. a sector not assigned a logical sector number/address). As such, by sequentially changing the correspondences between physical sector numbers and logical sector number, it may be possible to reduce or avoid concentrated repetition of writing/erasing at a specific sector.

Next, explanation will be made of a case where a problem has occurred in a sector due to repeated writing/crashing, in accordance with an embodiment of the present invention.

Referring once again to FIG. 5, at erase/write step 5, a erase/write command may be received for logical sector number 63. In this case, physical sector number 66 may be erased and, essentially simultaneously, new/updated data may be written to 1<sup>st</sup> additional sector (physical sector number 63). However, if physical sector number 66 cannot be properly erased (an erasing failure has occurred) at erase/write step 5, then the sector at physical sector number 66 (A03 in FIG. 6(f)) may be prohibited from use thereafter. In control data section 101 (FIG. 1) of physical sector number 66, a usability/non-usability flag (item 6) may be set to non-usable. In accordance with this embodiment, physical sector number 66 (the sector set to non-usable) may be stored and managed in a defective sector table (not shown). The defective sector table may be provided in control device 30 (FIG. 2), logic section 11 (FIG. 11) of non-volatile storage device 1, or the like.

As described above, when a bad sector occurs, the number of additional sectors may be decreased. If the number of additional sectors decreases, there may be no change in the number of logical sector numbers.

At erase/write step 6 in FIG. 5, there may only be three additional sectors Add1, Add2, and Add3 (A00-A02 in FIG. 6(f)). After that, there may still be three additional sectors at erase/write steps 7 and 8.

Next, an explanation will be made of the number of additional sectors according to an embodiment. The number of additional sectors may be determined when the non-volatile storage device, such as a flash memory, is designed. The number may be determined based on a desired apparent erase time (apparent erase time to a user, such as a controller

or the like), and a defect occurrence rate required for product reliability. Further, the number of additional sectors may be relative to the number of logical sectors.

Further, in wafer testing and other such selection processes, all sectors of the non-volatile storage device may be checked to determine good and defective sectors. However, in the case where a plurality of additional sectors are provided in this embodiment, additional sectors may be assigned logical sector numbers and thus, replacing defective sectors. Thus, overall yield of the product may increase and manufacturing costs may decrease.

A sector's number of erase/write repetitions, which may be stored in control data section 101 (FIG. 1) of the sector, may be obtained when the new data is going to be written. Then, the logical addresses being managed as additional sectors may be used one after the other in order of least number of write/erase repetitions. This may allow write/erase repetitions to be distributed, so that a particular sector may not have an undue amount of write erase repetitions compared to other sectors.

In the embodiments, a greater number of physical sectors may be provided than the number of logical sectors. As such, by designing the logic section such that a plurality of chips jointly use the additional sectors, the apparent erase time may be reduced and reliability may be improved not only in a single non-volatile storage device, but also for a plurality of essentially identically structured chips. These chips may be mounted in, for example, a multi-chip module.

Also, a single non-volatile storage device may include a plurality of flash memory arrays, each having a plurality of sections including additional sections.

Note, in accordance with the embodiments, in the rewriting sequence shown in FIG. 5 and the like, the power supply may be kept in the on state until the erasing of the sector that is to be erased last is complete. However, if the power supply is interrupted or turned off, the sectors that are in the process of being erased may be erased in a follow up fashion when the power supply is subsequently turned on. When this happens, a determination may be made as to which sectors are in the process of being erased when the power supply is turned on. This determination may be done by accessing the physical address of immediately preceding physical sector numbers (item 2 of control data section 101 (FIG. 1)) and corresponding erase flags (item 4 of control data section 101 (FIG. 1)) indicating whether or not erasing has been completed. If the erase cycle is in the process of being executed, erasing at the sector corresponding to the physical sector number in which erasing has not been completed. When the power supply is turned on, erase-status managing section 201 (FIG. 12) may detect the sector that was being erased when the power supply was interrupted and may execute control to restart the erasing.

As shown in FIG. 4, in accordance with an embodiment, the number of sectors erased in parallel may increase. Therefore, it may be necessary to provide a charge pump capacitor 12 (FIG. 1) having sufficient power to handle the number of sectors which may be erased in parallel, the number of sectors which may be written to, and the like.

In accordance with the embodiments, more sectors may be physically provided than the number of sectors that are theoretically necessary. Each sector may include address conversion information, number of reprogram times, an erase flag and other information. Further, bad sectors may not be used. Accordingly, write/erase repetitions may be distributed and may not be concentrated on a specific physical cell or sector.

Explanation will be made of representative operations/effects of embodiments.

In a first operation/effect, the apparent erase speed per sector may be about 1/(number of additional sectors) relative to erase time of a sector in a conventional approach.

In a second operation/effect, the lifetime for write/erase repetitions may, at maximum, be multiplied by the number of additional sectors. At minimum, the lifetime may be the number of logical sectors/numbers of physical sectors.

In a third operation/effect, the rate of chip problems/defects due to writing/erasing may be decreased. In the case of a conventional configuration (where the number of logical sectors equals the number of physical sectors) shown in FIG. 10(a), a chip including M sectors may be discarded if only one sector in the chip is defective. In contrast to this, according to the embodiments, a chip with M logical sectors may have N additional sectors. In this case, a chip may only be discarded if (N+1) sectors are defective. That is, in accordance with the embodiments, among M+N sectors, a chip may still be functional and sellable if up to N sectors are simultaneously defective or go bad due to repeated erase/write operations. Also, the chips failure or wear-out rate may decrease significantly compared to the conventional configuration.

As described above, the present invention may reduce an apparent sector erase time and may significantly reduce a bad sector rate. As such, the embodiments may be suited for application in a flash memory card, or the like, where data rewriting is performed.

Note that, in the embodiments, the functions of control device 30 (FIG. 2), which may perform controls of accessing the address conversion table and a flash memory on a non-volatile storage device, may also be integrated within the non-volatile storage device.

In accordance with the embodiments, when additional sectors are registered into additional sector management list 50 (FIG. 2), the additional sectors may be registered into additional sector management list 50 in an order of priority such that a sector with the least number of erasing/rewriting repetitions may be assigned as the 1<sup>st</sup> additional sector. In this case, when an additional sector is to be written to, sector searching section 201 (FIG. 12) may retrieve the 1<sup>st</sup> additional sector from among additional sectors and the additional sector having the least number of erasing/writing times may be selected without performing processing necessary to compare the number of erasing/rewriting times.

It is understood that the embodiments described above are exemplary and the present invention should not be limited to those embodiments. Specific structures should not be limited to the described embodiments.

Thus, while the various particular embodiments set forth herein have been described in detail, the present invention could be subject to various changes, substitutions, and alterations without departing from the spirit and scope of the invention. Accordingly, the present invention is intended to be limited only as defined by the appended claims.

What is claimed is:

1. A non-volatile storage device, comprising:

a plurality of sectors divided into logical sectors and a plurality of additional sectors, each sector being erasable as a unit, each sector being identified with an individual physical sector address and each logical sector being identified with an individual logical sector address, each sector also including a data storing section and a control data storing section and the logical sector address for each logical sector is stored in the control data storing section, each sector further being

associated with a usability flag indicating whether or not the sector is usable and an erase flag indicating whether or not erasure of the sector has been completed;

a logic section that writes data into a first one of the plurality of additional sectors and erases the first one of the logical sectors when data stored in the first one of the logical sectors is updated, and changes the first one of the plurality of additional sectors to the first one of the logical sectors and changes the first one of the logical sectors that is erased into one of the plurality of additional sectors;

an address conversion section that provides the individual physical sector address in response to receiving the individual logical sector address, the address conversion section including a random access memory storing an address conversion table; and

in response to a power up initialization, a control section provides the individual physical sector address of each of the plurality of additional sectors for which an erase flag indicates erasure has been completed and a usability flag indicates the sector is usable, the individual physical sector addresses provided by the control section to be used in an additional sector management list.

2. The non-volatile storage device according to claim 1, wherein:

the logic section writes updated data into the first one of the plurality of additional sectors while the first one of the logical sectors is being erased.

3. The non-volatile storage device according to claim 1, further including:

a control section that reads the logical sector address in the control data storage section of each logical sector in response to a power up initialization.

4. The non-volatile storage device according to claim 1, further including:

each of the plurality of additional sectors associated with an erase value indicating a number of times the additional sector has been erased; and

the logic section selects the first one of the plurality of additional sectors according to the erase value having a lowest value among the plurality of additional sectors.

5. The non-volatile storage device according to claim 4, wherein:

each sector includes a data storing section and a control data storing section and the erase value for each sector is stored in the control data storing section.

6. The non-volatile storage device according to claim 1, wherein each sector includes a data storing section and a control data storing section, the non-volatile storage device includes:

the logic section that writes an individual logical sector address and a physical sector address of the first one of the logical sectors being erased into the control data storing section of the first one of the plurality of additional sectors.

7. A non-volatile storage device, comprising:

a nonvolatile memory section including a plurality of sectors divided into logical sectors and a plurality of additional sectors, each sector being associated with an individual physical sector address and each logical sector being identifiable as a logical sector by being assigned an individual logical sector address;

each sector includes a data storage section and a control data storage section, the control data storage section storing the assigned individual logical sector address of the sector and a first erase value and including a

23

usability flag indicating whether or not the sector is usable and an erase flag indicating whether or not erasure of the sector has been completed;

a logic section that, when updating data stored in a logical sector identified with a first individual logical address, writes updated data into a first one of the plurality of additional sectors and erases the logical sector identified with the first individual logical address, and identifies the first one of the plurality of additional sectors with the first individual logical address and changes the logical sector that is erased to one of the plurality of additional sectors; wherein

the first erase value indicating the number of erasures of the sector previously assigned to the individual logical sector address; and

in response to a power up initialization, a control section provides the individual physical sector address of each of the plurality of additional sectors for which an erase flag indicates erasure has been completed and a usability flag indicates the sector is usable, the individual physical sector addresses provided by the control section to be used in an additional sector management list.

8. The non-volatile storage device according to claim 7, wherein:

the control data storage section of each logical sector stores the individual physical address of the sector that was previously assigned to the individual logical sector address currently assigned to the logical sector.

9. The non-volatile storage device according to claim 8, wherein:

the control data storage section of each logical sector stores a first erase flag indicating whether the sector having the individual physical address that was previously assigned to the individual logical sector address currently assigned to the logical sector has been erased.

10. The non-volatile storage device according to claim 7, wherein:

the control data storage section of each sector stores an erase value indicating the number of erasures of the sector itself.

11. The non-volatile storage device according to claim 10, wherein:

the control data storage section of each sector stores a usability flag indicating the usability of the sector itself.

12. The non-volatile storage device according to claim 10, wherein:

the control data storage section of each sector stores an erase flag indicating whether or not the sector itself has been erased.

13. The non-volatile storage device according to claim 7, further including:

an address conversion section providing the individual physical sector address in response to receiving the individual logical sector address.

14. The non-volatile storage device according to claim 7, wherein:

the nonvolatile memory section is formed on the same device as the logic section.

15. A rewrite control method for a non-volatile storage device, comprising the steps of:

erasing as a unit a sector assigned to a first logical sector address, when data in the sector assigned to the first logical sector address is to be updated;

writing updated data into a first one of a plurality of additional sectors while the sector assigned to the first logical sector address is being erased;

24

assigning the first logical sector address to the first one of the plurality of additional sectors to convert the first one of the plurality of additional sectors to one of a plurality of logical sectors;

storing at least a portion of an address conversion table in a random access memory;

managing the erased sector as a new one of the plurality of additional sectors;

setting an erase flag in a control data storage section of the erased sector to indicate an erased state; and

in response to a power up initialization, providing an individual physical sector address of each of the plurality of additional sectors for which the erase flag indicates erasure has been completed and a usability flag indicates the sector is usable, the individual physical sector addresses provided by the control section to be used in an additional sector management list.

16. The rewrite control method according to claim 15 wherein:

writing the updated data includes selecting the first one of the plurality of additional sectors based on a least number of erase times.

17. The rewrite control method according to claim 15, wherein:

each sector includes a data storing section and a control storing section, and

writing update data into the first one of the plurality of additional sectors includes writing to the control data storage section of the first one of the plurality of additional sectors

the assigned individual logical sector address,

an individual physical sector address of the sector previously assigned the individual logical sector address,

an erase flag that indicates whether or not the erasure of the sector previously assigned the individual logical sector address has been completed, and

an erase value that indicates the number of times the sector previously assigned the individual logical sector address has been erased.

18. The rewrite control method according to claim 15, wherein:

each sector includes a data storing section and a control storing section; and

writing update data into the first one of the plurality of additional sectors includes writing to the control data storage section of the first one of the plurality of additional sectors

an erase flag that indicates whether or not the erasure of the sector has been completed; and

an erase value that indicates the number of times the sector has been erased.

19. The rewrite control method according to claim 15, further including the steps of:

generating an individual physical sector address in response to an individual logical sector address; and

updating the address conversion table to assign the first logical sector address to the individual physical sector address corresponding to the first one of the plurality of additional sectors.

20. The rewrite control method according to claim 19, further including:

updating the address conversion table in response to a power up initialization.

21. The rewrite control method according to claim 15, further including the step of:

25

setting a usability flag of the sector assigned to the first logical sector address to an unusable indication if erasing the sector assigned to the first logical sector address fails.

22. The rewrite control method according to claim 15, 5 wherein:

writing the updated data into the first one of the plurality of additional sectors includes

writing the first logical sector address into a control data storage section of the first one of the plurality of 10 additional sectors; and

writing the physical sector address of the sector being erased that is assigned to the first logical sector address into the control data storage section of the first one of the plurality of additional sectors.

26

23. The rewrite control method according to claim 22, wherein:

writing the updated data into the first one of the plurality of additional sectors includes

writing an erase value indicating how many times the sector assigned to the first logical sector address has been erased into the control data storage section of the first one of the plurality of additional sectors.

24. The rewrite control method according to claim 15, further including the step of:

updating an erase value in a control data storage section of the erased sector to indicate the number of times the erased sector has been erased.

\* \* \* \* \*